

Docket No.: 67161-081

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
: Confirmation Number:
Fumitoshi YAMAMOTO, et al. :
: Group Art Unit:
Serial No.:
: Examiner:
Filed: August 18, 2003
: For: SEMICONDUCTOR DEVICE WITH SURGE PROTECTION CIRCUIT

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. JP2002-368456, Filed on December 19, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Gene Z. Rubinson

Gene Z. Rubinson
Registration No. 33,351

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 GZR:gav
Facsimile: (202) 756-8087
Date: August 18, 2003

日本国特許庁
JAPAN PATENT OFFICE

67161-081
Fumitoshi, YAMAMOTO, et al.
August 18, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年12月19日

出願番号
Application Number:

特願2002-368456

[ST.10/C]:

[JP2002-368456]

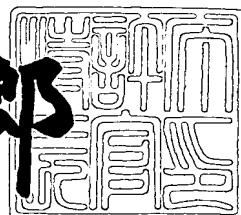
出願人
Applicant(s):

三菱電機株式会社
協栄産業株式会社

2003年 1月24日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3001029

【書類名】 特許願
【整理番号】 540753JP01
【提出日】 平成14年12月19日
【あて先】 特許庁長官殿
【国際特許分類】 H02H 7/20
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 山本 文寿
【発明者】
【住所又は居所】 東京都渋谷区松濤二丁目20番4号 協栄産業株式会社内
【氏名】 村井 保文
【発明者】
【住所又は居所】 兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシステムエンジニアリング株式会社内
【氏名】 古谷 啓一
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【特許出願人】
【識別番号】 000162320
【氏名又は名称】 協栄産業株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 信号入力端子に電気的に接続され、かつ第1のトランジスタと第2のトランジスタとを有するサージ保護回路を備えた半導体装置であって、

前記第1のトランジスタのベースの一番狭い領域が前記第2のトランジスタのベースの一番狭い領域とは異なる幅を有する構成により、前記第1のトランジスタが前記第2のトランジスタよりも降伏しやすくなるように構成された、半導体装置。

【請求項2】 前記第1のトランジスタの前記ベースとして機能する領域は、前記第2のトランジスタの前記ベースとして機能する領域とは異なる不純物濃度を有する構成により、前記第1のトランジスタが前記第2のトランジスタよりも降伏しやすくなるように構成された、請求項1に記載の半導体装置。

【請求項3】 前記第1のトランジスタの前記ベースの一番狭い領域は、前記第2のトランジスタの前記ベースの一番狭い領域よりも狭いことを特徴とする、請求項1または2に記載の半導体装置。

【請求項4】 前記サージ保護回路は、前記第1のトランジスタのコレクタと前記第2のトランジスタのコレクタとが前記信号入力端子に電気的に接続されており、前記第1のトランジスタの前記ベースと前記第2のトランジスタの前記ベースとは互いに同じ導電型に形成されていて、かつ互いに電気的に接続されており、前記第1のトランジスタのエミッタは、前記第1のトランジスタの前記ベースおよび前記第2のトランジスタの前記ベースとに電気的に接続されていることを特徴とする、請求項1から3のいずれかに記載の半導体装置。

【請求項5】 前記第1のトランジスタの前記ベースとなる不純物拡散領域と、前記第2のトランジスタの前記ベースとなる不純物拡散領域とは、互いに異なる不純物拡散領域となっており、かつ互いに電気的に接続されていることを特徴とする、請求項4に記載の半導体装置。

【請求項6】 前記第1のトランジスタの前記ベースと、前記第2のトランジスタの前記ベースとは同一の不純物拡散領域よりなっていることを特徴とする

、請求項4に記載の半導体装置。

【請求項7】 前記サージ保護回路は、さらに抵抗素子を有し、前記第2のトランジスタのエミッタと前記抵抗素子の一方とが前記信号入力端子に電気的に接続されており、前記第1のトランジスタの前記ベースと前記第2のトランジスタのコレクタとは互いに同じ導電型に形成されていて、かつ互いに電気的に接続されており、前記第1のトランジスタのエミッタは、前記第1のトランジスタの前記ベースおよび前記第2のトランジスタの前記コレクタとに電気的に接続されており、前記第1のトランジスタのコレクタは、前記第2のトランジスタの前記ベースおよび前記抵抗素子の他方と電気的に接続されていることを特徴とする、請求項1から3のいずれかに記載の半導体装置。

【請求項8】 前記第1のトランジスタの前記ベースと前記第2のトランジスタの前記コレクタとが同一の不純物拡散領域により構成されていることを特徴とする、請求項7に記載の半導体装置。

【請求項9】 前記第1および第2のトランジスタが形成されるエピタキシャル層とは電気的に分離されたエピタキシャル層に、前記第1のトランジスタの前記エミッタおよび前記ベースと前記第2のトランジスタの前記コレクタとが電気的に接続されていることを特徴とする、請求項7または8に記載の半導体装置。

【請求項10】 前記第2のトランジスタの前記エミッタは、第1のエミッタ不純物拡散領域と第2のエミッタ不純物拡散領域とを有し、前記第2のエミッタ不純物拡散領域は前記第1のエミッタ不純物拡散領域の周囲を取り囲んでおり、かつ前記第2のトランジスタの前記ベースを構成するベース不純物拡散領域とp-n接合を構成していることを特徴とする、請求項7から9のいずれかに記載の半導体装置。

【請求項11】 エピタキシャル層内の前記第1のトランジスタと前記第2のトランジスタとが形成される領域の側部および下部を取り囲むように前記エピタキシャル層よりも高い不純物濃度を有する高濃度不純物拡散領域が形成されていることを特徴とする、請求項7から10のいずれかに記載の半導体装置。

【請求項12】 前記抵抗素子を構成する抵抗用不純物拡散領域は、前記第

1 および第2のトランジスタが形成されるエピタキシャル層内に形成されており、かつ前記抵抗用不純物拡散領域は逆導電型の抵抗分離用不純物拡散領域により周囲を覆われていることを特徴とする、請求項6から11のいずれかに記載の半導体装置。

【請求項13】 前記抵抗素子は、半導体基板の表面より上に形成された導電層であることを特徴とする、請求項6から11のいずれかに記載の半導体装置。

【請求項14】 前記サージ保護回路は、さらに抵抗素子を有し、前記第2のトランジスタのエミッタと前記抵抗素子の一方とが前記信号入力端子に電気的に接続されており、前記第1のトランジスタの前記ベースと前記第2のトランジスタの前記ベースとは互いに同じ導電型に形成されていて、かつ互いに電気的に接続されており、前記第1のトランジスタのエミッタは、前記第1のトランジスタの前記ベースおよび前記第2のトランジスタの前記ベースおよび前記抵抗素子の他方とに電気的に接続されており、前記第1のトランジスタのコレクタは、前記第2のトランジスタのコレクタと電気的に接続されていることを特徴とする、請求項1から3のいずれかに記載の半導体装置。

【請求項15】 前記半導体装置は、主表面を有する半導体基板と、前記半導体基板の主表面に形成されたフィールド酸化膜とを備え、前記第1のトランジスタの前記エミッタと前記コレクタとは、互いに前記フィールド酸化膜をはさむように前記半導体基板の主表面に形成されていることを特徴とする、請求項14に記載の半導体装置。

【請求項16】 前記半導体装置は、主表面に第1導電型のエピタキシャル層を有する半導体基板を備え、前記第1のトランジスタの前記ベースは、前記第1のトランジスタの前記エミッタの周囲を取り囲み、かつ前記エピタキシャル層よりも高い不純物濃度を有する第1導電型の第1拡散領域を有しており、かつ前記第2のトランジスタの前記コレクタは、第2導電型の第2拡散領域を有していて、前記第1拡散領域と前記第2拡散領域とは、前記エピタキシャル層内の主表面に互いに隣接していることを特徴とする、請求項14または15に記載の半導体装置。

【請求項17】 信号入力端子に電気的に接続され、かつ第1のトランジスタと第2のトランジスタとを有するサージ保護回路を備えた半導体装置であって

前記第1のトランジスタのベースとして機能する領域が前記第2のトランジスタのベースとして機能する領域とは異なる不純物濃度を有する構成により、前記第1のトランジスタが前記第2のトランジスタよりも降伏しやすくなるように構成された、半導体装置。

【請求項18】 前記第1のトランジスタの前記ベースとして機能する領域は、前記第2のトランジスタの前記ベースとして機能する領域よりも不純物濃度が高いことを特徴とする、請求項17に記載の半導体装置。

【請求項19】 信号入力端子に電気的に接続され、かつ第1のトランジスタと第2のトランジスタとを有するサージ保護回路を備えた半導体装置であって

主表面を有する半導体基板と、

前記半導体基板の主表面に形成されたフィールド酸化膜とを備え、

前記第1のトランジスタのエミッタと前記第2のトランジスタのコレクタとが前記信号入力端子に電気的に接続されており、

前記第1のトランジスタのコレクタと前記第2のトランジスタのベースとは互いに同じ導電型に形成されていて、かつ互いに電気的に接続されており、

前記第1のトランジスタのベースは、前記第1のトランジスタの前記エミッタおよび前記第2のトランジスタの前記コレクタとに電気的に接続されており、

前記第1のトランジスタの前記エミッタと前記ベースとのp-n接合部は前記フィールド酸化膜の一方端に接しており、かつ前記コレクタと前記ベースとのp-n接合部は前記フィールド酸化膜の他方端に接している、半導体装置。

【請求項20】 信号入力端子に電気的に接続され、かつ第1のトランジスタと第2のトランジスタとを有するサージ保護回路を備えた半導体装置であって

主表面に第1導電型のエピタキシャル層を有する半導体基板を備え、

前記第1のトランジスタのエミッタと前記第2のトランジスタのコレクタとが

前記信号入力端子に電気的に接続されており、

前記第1のトランジスタのコレクタと前記第2のトランジスタのベースとは互いに同じ導電型に形成されていて、かつ互いに共通の第2導電型の第1拡散領域よりなっており、

前記第1のトランジスタのベースは、前記第1のトランジスタの前記エミッタおよび前記第2のトランジスタの前記コレクタに電気的に接続されており、

前記第1のトランジスタのベースは、前記第1のトランジスタのエミッタの周囲を取り囲み、かつ前記エピタキシャル層よりも高い不純物濃度を有する第1導電型の第2拡散領域を有しており、

前記第1拡散領域と前記第2拡散領域とは、前記エピタキシャル層内の主表面に互いに隣接している、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、より特定的にはサージ保護回路を備えた半導体装置に関する。

【0002】

【従来の技術】

自動車、モーター、蛍光表示、オーディオ等やトランジスタ素子等よりなるIC (Integrated Circuit) を瞬間に大きく増加した電流あるいは電圧 (サージ) から保護するためのサージ保護回路として、様々なものが提案されてきた。従来のサージ保護回路は、たとえば特開昭58-74081号公報 (特許文献1) に示されている。

【0003】

上記公報に開示された構成によれば、従来のサージ保護回路は横型pnpトランジスタと縦型npnトランジスタとを有している。横型pnpトランジスタのベースとエミッタと縦型npnトランジスタのコレクタとは各々が入力端子に電気的に接続されている。縦型npnトランジスタのコレクタと横型pnpトランジスタのベースとは同一のn型エピタキシャル層で形成されている。横型pnpトランジ

トランジスタのコレクタと縦型n p nトランジスタのベースとは、上記n型エピタキシャル層内に形成された同一のp型不純物領域で形成されている。縦型n p nトランジスタのエミッタは、上記p型不純物領域内に形成されたn型不純物領域で形成されている。

【0004】

続いて、上記公報に示すサージ保護回路の動作について説明する。入力端子にサージが印加されると、横型p n pトランジスタにおいてコレクタ・ベース接合の空乏層がエミッタ・ベース接合の空乏層に到達し、パンチスルーレベル降伏することによりエミッタからコレクタへ電流が流れる。この電流が縦型n p nトランジスタのベース電流となり、縦型n p nトランジスタが導通するため、入力端子に印加されたサージの電荷が縦型n p nトランジスタのエミッタ側から放電される。

【0005】

また、上記以外のサージ保護回路は、たとえば特開平5-206385号公報および特開昭56-19657号公報に開示されている（特許文献2、3参照）。

【0006】

【特許文献1】

特開昭58-74081号公報

【0007】

【特許文献2】

特開平5-206385号公報

【0008】

【特許文献3】

特開昭56-19657号公報

【0009】

【発明が解決しようとする課題】

上記公報に示すサージ保護回路が正常に動作するためには、横型p n pトランジスタが縦型n p nトランジスタよりも低い電圧で降伏する必要がある。しかし、上記公報に示された構成では、横型p n pトランジスタの降伏する電圧（以下

、耐圧)が縦型n p nトランジスタの耐圧よりも高くなる場合があり、このような場合には、サージ保護回路が正常に動作しないという問題があった。

【0010】

具体的には、上記公報に示すサージ保護回路においては、縦型n p nトランジスタのベース領域と横型p n pトランジスタのコレクタ領域とは同一濃度の同一領域(つまり、同一のp型不純物領域)で形成されている。さらに、縦型n p nトランジスタのコレクタ領域と横型p n pトランジスタのベース領域とは同一濃度の同一領域(つまり、同一のn型エピタキシャル層)で形成されている。したがって、横型p n pトランジスタのベース・コレクタの空乏層と縦型p n pトランジスタのベース・コレクタの空乏層とは同程度の厚さとなるので、アバランシエ降伏の起こりやすさが同程度であり、横型p n pトランジスタの耐圧と縦型n p nトランジスタの耐圧とは同程度となっていた。このため、横型p n pトランジスタが縦型n p nトランジスタよりも先に降伏することもあり、サージ保護回路の動作が不安定であった。

【0011】

したがって本発明の目的は、正常に動作するサージ保護回路を備える半導体装置を提供することである。

【0012】

【課題を解決するための手段】

本発明のサージ保護回路を備える半導体装置は、信号入力端子に電気的に接続され、かつ第1のトランジスタと第2のトランジスタとを有するサージ保護回路を備えた半導体装置であって、第1のトランジスタのベースの一番狭い領域が第2のトランジスタのベースの一番狭い領域とは異なる幅を有する構成により、第1のトランジスタが第2のトランジスタよりも降伏しやすくなるように構成されている。

【0013】

なお、本明細書においてベースとして機能する領域とは、ベースを構成する不純物拡散領域のうち、エミッタを構成する不純物拡散領域およびコレクタを構成する不純物拡散領域の各々とp n接合を構成する不純物拡散領域のことである。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態1)

図1は本発明の実施の形態1におけるサージ保護回路を示す回路図である。

【0015】

図1を参照して、サージ保護回路51は、n-p-nトランジスタ32とn-p-nトランジスタ33とを備えている。n-p-nトランジスタ32のコレクタおよびn-p-nトランジスタ33のコレクタは信号入力端子34および装置部分36に電気的に接続されている。n-p-nトランジスタ32のベースとn-p-nトランジスタ33のベースとは互いに電気的に接続されている。n-p-nトランジスタ32のエミッタは、n-p-nトランジスタ32のベースおよびn-p-nトランジスタ33のベースの双方に電気的に接続されている。n-p-nトランジスタ33のエミッタは接地電位35に電気的に接続されている。

【0016】

続いて、実施の形態1におけるサージ保護回路を備えた半導体装置の構成について説明する。

【0017】

図2は、本発明の実施の形態1におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図3は図2のI—I—I—I—I—I線に沿った断面図である。

【0018】

図2および図3を参照して、半導体装置61において、たとえばシリコン単結晶よりなる半導体基板91の下部にp⁻領域1が形成されている。p⁻領域1の上には注入拡散によりn⁺拡散層2が形成されている。このn⁺拡散層2の上にn⁻エピタキシャル層4が形成されている。このn⁻エピタキシャル層4の周囲を取り囲むように、p⁻領域1上にp⁺拡散層3aとp型拡散層6aとが形成されている。

【0019】

この n^+ 拡散層2および n^- エピタキシャル層4内には、サージ保護回路を構成する n p n トランジスタ32と n p n トランジスタ33とが形成されている。 n p n トランジスタ32と n p n トランジスタ33との各々は、エミッタ領域とベース領域とコレクタ領域とを有している。

【0020】

n p n トランジスタ32において、コレクタ領域は、 n^+ 拡散層2と、 n^- エピタキシャル層4と、 n^- エピタキシャル層4内に形成された n^+ 拡散層8aにより構成されている。ベース領域は、 n^- エピタキシャル層4内に形成された p^+ 拡散層21と、その p^+ 拡散層21内に形成された p^+ 拡散層9aにより構成されている。エミッタ領域は、 p^+ 拡散層21内で p^+ 拡散層9aと隣接するように形成された n^+ 拡散層8bにより構成されている。

【0021】

n p n トランジスタ33において、コレクタ領域は、 n^- エピタキシャル層4と n^+ 拡散層2と n^+ 拡散層8aとで構成されており、 n p n トランジスタ32のコレクタと同一の不純物領域で構成されている。ベース領域は、 n^- エピタキシャル層4内に形成された p 型拡散層6bにより構成されている。エミッタ領域は、 p 型拡散層6b内に形成された n^+ 拡散層8cにより構成されている。

【0022】

n p n トランジスタ32のベース領域である p^+ 拡散層21と n p n トランジスタ33のベース領域である p 型拡散層6bとは互い異なる不純物拡散領域よりもなっており、かつ互いに電気的に接続されている。なお、幅 t 1は、 n p n トランジスタ33のベースである p 型拡散層6bの一番狭い領域の幅を示しており、たとえば n^+ 拡散層8cの真下に位置する p 型拡散層6bの深さ方向の幅（深さ）を示している。また、幅 t 2は、 n p n トランジスタ32のベースである p^+ 拡散層21の一番狭い領域の幅を示しており、たとえば n^+ 拡散層8bの真下に位置する p^+ 拡散層21の深さ方向の幅（深さ）を示している。幅 t 2は幅 t 1よりも狭い。 p^+ 拡散層21は p 型拡散層6bよりも不純物濃度が高い。

【0023】

なお、 p^+ 拡散層21が n p n トランジスタ32のベースとして機能する領域

であり、p型拡散層6bがn_pnトランジスタ33のベースとして機能する領域である。

【0024】

また、p型拡散層6a、6bは、たとえば約 10^{13} 個/ cm^3 の不純物濃度となるようにB(ボロン)をn⁻エピタキシャル層4に注入することにより形成されている。p⁺拡散層21は、たとえばn⁻エピタキシャル層4とp型拡散層6bとの表面を数10nm熱酸化し、その表面にたとえば約 10^{14} 個/ cm^3 オーダーの不純物濃度となるようにBを注入することにより形成されている。n⁺拡散層8bは、p⁺拡散層21の表面において、たとえば約 10^{15} 個/ cm^3 の濃度となるようにAs(ヒ素)を注入することにより形成されている。p⁺拡散層9aは、p⁺拡散層21の表面において、たとえば約 10^{15} 個/ cm^3 の濃度となるようにBまたはBF₂を注入することにより形成されている。

【0025】

また、n⁺拡散層8bが形成される工程と同一の工程により、n⁻エピタキシャル層4の表面およびp型拡散層6bの表面にそれぞれn⁺拡散層8a、8cが形成されている。また、p⁺拡散層9aが形成される工程と同一の工程により、p型拡散層6aの表面にp⁺拡散層9bが形成されている。n⁺拡散層8aと、p⁺拡散層21およびn⁺拡散層8bおよびp⁺拡散層9aおよびp型拡散層6bと、n⁺拡散層8cと、p⁺拡散層9bとは、LOCOS(Local Oxidation of Silicon)法により形成されたフィールド酸化膜7によって各々電気的に分離されている。

【0026】

半導体基板91表面を覆うように層間絶縁膜10が形成されている。層間絶縁膜10にはコンタクトホール11a～11dが各々形成されている。これにより、n⁺拡散層8aとn⁺拡散層8bおよびp⁺拡散層9aとn⁺拡散層8cとp⁺拡散層9bとの表面が露出されている。そして、コンタクトホール11a～11dの各々を介して上記の露出した各領域に電気的に接続するように層間絶縁膜10上に、たとえば不純物が導入された多結晶シリコン(以下、ドープトポリシリコンと称する)よりなる配線12a～12cが形成されている。これにより、n⁺

拡散層8 bとp⁺拡散層9 aとが電気的に接続されていて、n⁺拡散層8 cとp⁺拡散層9 bが電気的に接続されている。

【0027】

続いて、本実施の形態におけるサージ保護回路の動作について説明する。

図1を参照して、サージ電圧が信号入力端子3 4に印加されると、n p nトランジスタ3 2のエミッタ・コレクタ間の電圧が上昇することにより、n p nトランジスタ3 2が降伏する。n p nトランジスタ3 2が降伏すると、n p nトランジスタ3 3のベースに電流が流れ、n p nトランジスタ3 3がONする。n p nトランジスタ3 3がONすると、信号入力端子3 4に印加されたサージ電圧はn p nトランジスタ3 3を介して接地電位3 5に開放される。これにより、装置部分3 6にサージ電圧が印可されることが防止される。

【0028】

続いて、トランジスタの降伏現象について説明する。トランジスタの降伏現象には大きく分けてアバランシェ降伏とパンチスルーレ降伏がある。アバランシェ降伏とは、大きな逆方向電圧が印加された場合に、空乏層内で生じた電子と正孔の対が電界で加速され、結晶を構成する電子と高速で衝突することによって、電子と正孔の対が指数関数的に増加して電流が流れる現象である。ここで、互いに接合するp型領域およびn型領域の濃度が高い場合には空乏層幅が小さくなり空乏層内の電界が大きくなるので、電子と正孔の対が増加しやすい。したがって、トランジスタにおいて、ベースとして機能する領域の濃度が高いほどアバランシェ降伏が起こりやすくなる。

【0029】

一方、パンチスルーレ降伏とは、特にベース領域の濃度が低いトランジスタに大きな逆方向電圧を加えた場合に、ベース・コレクタの空乏層が伸びて、エミッタ・ベース接合の空乏層に接触することで、電位の障壁が下がってエミッタから空乏層を通って直接コレクタへ電子または正孔が流れ込み、電流が流れる現象である。

【0030】

本実施の形態においては、n p nトランジスタ3 2のベースとなるp⁺拡散層

21の一番狭い領域の幅 t_2 は、 $n-p-n$ トランジスタ 33 のベースとなる p 型拡散領域 6b の幅 t_1 よりも狭い。これにより、 $n-p-n$ トランジスタ 32 は $n-p-n$ トランジスタ 33 よりもパンチスルーレンジ伏しやすい構成を有している。

【0031】

また、本実施の形態においては、 $n-p-n$ トランジスタ 32 のベースとして機能する p^+ 拡散層 21 は $n-p-n$ トランジスタ 33 のベースとして機能する p 型拡散層 6b よりも高い不純物濃度を有している。これにより、 $n-p-n$ トランジスタ 32 は $n-p-n$ トランジスタ 33 よりもアバランシェレンジ伏しやすい構成を有している

【0032】

このように本実施の形態では、 $n-p-n$ トランジスタ 32 が $n-p-n$ トランジスタ 33 より先に確実にレバ（アバランシェレンジ伏またはパンチスルーレンジ伏）するように構成されているため、従来例のように $n-p-n$ トランジスタ 33 が $n-p-n$ トランジスタ 32 よりも先にレバするといった誤作動を防止することができる。つまり、 $n-p-n$ トランジスタ 32 が $n-p-n$ トランジスタ 33 よりも先に確実にレバすることで、 $n-p-n$ トランジスタ 33 が確実に ON し、それにより信号入力端子 34 に印加されたサージ電圧が確実に開放されるため、誤作動を防止でき正常に動作するサージ保護回路を実現することができる。

【0033】

なお、本実施の形態においては、 p^+ 拡散層 21 の幅 t_2 が p 型拡散層 6b の幅 t_1 よりも狭い構成（1）と、 p^+ 拡散層 21 が p 型拡散層 6b よりも高い不純物濃度を有する構成（2）との双方の構成を有する場合について説明したが、上記2つの構成（1）および（2）の少なくとも1つの構成を有していればよい。具体的には、上記構成（1）を有し、それにより $n-p-n$ トランジスタ 32 が $n-p-n$ トランジスタ 33 よりも先にパンチスルーレンジ伏を起こすように構成されれば、 p^+ 拡散層 21 は p 型拡散層 6b よりも低い不純物濃度を有していてもよい。また、上記構成（2）を有し、それにより $n-p-n$ トランジスタ 32 が $n-p-n$ トランジスタ 33 よりも先にアバランシェレンジ伏を起こすように構成されれば、 p^+ 拡散層 21 の幅 t_2 は p 型拡散層 6b の幅 t_1 よりも広くてもよい。要は

、上記構成（1）および（2）の少なくともいずれかの構成が採用されることで、
 n p nトランジスタ32がn p nトランジスタ33より先に確実に降伏（パン
 チスルーダンスまたはアバランシェ降伏）するようにサージ保護回路が構成されて
 いればよい。

【0034】

さらに、本実施の形態においては、n p nトランジスタ32のベース領域であるp⁺拡散層21とn p nトランジスタ33のベース領域であるp型拡散層6bとは互いに異なる不純物拡散領域よりなっており、かつ互いに電気的に接続されている。これにより、n p nトランジスタ32のベース領域の濃度とn p nトランジスタ33のベース領域の濃度とを互いに異なる濃度に制御可能である。また、n p nトランジスタ32のベース領域の幅t₂とn p nトランジスタ33のベース領域の幅t₁とを互いに異なる幅に制御可能である。したがって、n p nトランジスタ32のベース領域の構成により、容易にn p nトランジスタ32の耐圧をn p nトランジスタ33の耐圧よりも低くすることができ、正常に動作するサージ保護回路が容易に作成可能となる。

（実施の形態2）

図4は、本発明の実施の形態2におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0035】

図4を参照して、本実施の形態における半導体装置は、n p nトランジスタ32のベース領域とn p nトランジスタ33のベース領域とが同一のp型拡散層6bを共有している点において実施の形態1の構成と異なる。このため、n⁺拡散層8c、p⁺拡散層9aおよびn⁺拡散層8bは、このp型拡散層6b内に形成されている。

【0036】

n p nトランジスタ32のベース領域は、p型拡散層6bとp⁺拡散層9aとで構成されている。また、n p nトランジスタ33のベース領域は、p型拡散層6bにより構成されている。この構成においては、n p nトランジスタ32のベース領域の一番狭い領域はn⁺拡散層8bの図中横側のp型拡散層6bの領域で

あり、幅 s_1 を有している。 $n-p-n$ トランジスタ 33 のベース領域の一番狭い領域は n^+ 拡散層 8c の図中真下の p 型拡散層 6b の領域であり、幅 t_1 を有している。そしてその幅 s_1 は幅 t_1 よりも狭い。また、p 型拡散層 6b が $n-p-n$ トランジスタ 32 のベースとして機能する領域および $n-p-n$ トランジスタ 33 のベースとして機能する領域である。

【0037】

なお、これ以外の構成については図 1～図 3 に示す実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0038】

本実施の形態においては、 $n-p-n$ トランジスタ 32 のベース領域である p 型拡散層 6b と $n-p-n$ トランジスタ 33 のベース領域である p 型拡散層 6b とは同一の不純物拡散領域よりなっている。このような構成であっても、 $n-p-n$ トランジスタ 32 のベース領域の幅 s_1 を $n-p-n$ トランジスタ 33 のベース領域の幅 t_1 よりも狭くすることにより、 $n-p-n$ トランジスタ 32 は $n-p-n$ トランジスタ 33 よりもパンチスルーディフュージョンが容易となる。したがって、正常に動作するサージ保護回路が形成可能となるとともに、不純物拡散領域の数が減少するので、半導体装置の製造工程が簡略化する。

(実施の形態 3)

図 5 は、本発明の実施の形態 3 におけるサージ保護回路を示す回路図である。

【0039】

図 5 を参照して、サージ保護回路 52 は、 $n-p-n$ トランジスタ 37 と $p-n-p$ トランジスタ 38 と抵抗素子 39 とを備えている。 $p-n-p$ トランジスタ 38 のエミッタおよび抵抗素子 39 の一方は信号入力端子 34 および装置部分 36 に各々電気的に接続されている。 $n-p-n$ トランジスタ 37 のベースと $p-n-p$ トランジスタ 38 のコレクタとは互いに電気的に接続されていて、かつ接地電位 35 に各々電気的に接続されている。 $n-p-n$ トランジスタ 37 のエミッタは、 $n-p-n$ トランジスタ 37 のベースおよび $p-n-p$ トランジスタ 38 のコレクタおよび接地電位 35 に電気的に接続されている。 $n-p-n$ トランジスタ 37 のコレクタは、 $p-n-p$ トランジ

ンジスタ38のベースおよび抵抗素子39の他方の双方に電気的に接続されている。

【0040】

続いて、実施の形態3におけるサージ保護回路を備えた半導体装置の構成について説明する。

【0041】

図6は、本発明の実施の形態3におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図7は図6のVII-VII線に沿った断面図である。

【0042】

図6および図7を参照して、半導体装置62において、たとえばシリコン単結晶よりなる半導体基板92の下部にp⁻領域1が形成されている。p⁻領域1の上には注入拡散によりn⁺拡散層2a、2bの各々が形成されている。このn⁺拡散層2a、2bの各々の上にn⁻エピタキシャル層4a、4bの各々が形成されている。n⁻エピタキシャル層4a、4bを取り囲むように、p⁺拡散層3cとp型拡散層6cとが形成されている。これにより、n⁻エピタキシャル層4aとn⁻エピタキシャル層4bとは電気的に分離されている。また、n⁺拡散層2aとn⁺拡散層2bとは電気的に分離されている。

【0043】

このn⁺拡散層2bおよびn⁻エピタキシャル層4a内には、サージ保護回路を構成するn p nトランジスタ37とp n pトランジスタ38とが形成されている。n p nトランジスタ37とp n pトランジスタ38とはエミッタ領域とベース領域とコレクタ領域を各々有している。

【0044】

n p nトランジスタ37において、コレクタ領域は、n⁺拡散層2bと、n⁻エピタキシャル層4aと、n⁻エピタキシャル層4a内に形成されたn⁺拡散層8dとにより構成されている。ベース領域は、n⁻エピタキシャル層4a内に形成されたp⁺拡散層21と、n⁻エピタキシャル層4a内でp⁺拡散層21と隣接するように形成されたp型拡散層6gと、そのp型拡散層6g内に形成されたp⁺拡

散層9 g とで構成されている。エミッタ領域は、 p^+ 拡散層2 1 内で p^+ 拡散層9 g と隣接するように形成された n^+ 拡散層8 e により構成されている。

【0045】

$p\ n\ p$ トランジスタ3 8において、エミッタ領域は、 n^- エピタキシャル層4 a 内に形成された p^+ 拡散層9 f で構成されている。ベース領域は n^- エピタキシャル層4 a と n^+ 拡散層2 b とで形成されている。コレクタ領域は p 型拡散層6 g と p^+ 拡散層9 g とで形成されている。

【0046】

なお、 p 型拡散層6 g と p^+ 拡散層9 g とは p^+ 拡散層9 f の図中横側を取り囲むように半導体基板9 2 の表面に形成されている。

【0047】

n^- エピタキシャル層4 b 内には、サージ保護回路を構成する抵抗素子3 9 が形成されている。抵抗素子3 9 は、 n^- エピタキシャル層4 b 内に形成された p^+ 拡散層1 5 と、その p^+ 拡散層1 5 内に形成された p^+ 拡散層9 c、9 d とで構成されている。

【0048】

なお、この構成において、 $n\ p\ n$ トランジスタ3 7 のベース領域の一番狭い領域は n^+ 拡散層8 e の図中真下の p^+ 拡散層2 1 の領域であり、幅 t_3 を有している。 $p\ n\ p$ トランジスタ3 8 のベース領域の一番狭い領域は p^+ 拡散層9 f の図中横側の n^- エピタキシャル層4 a の領域であり、幅 s_2 を有している。そしてその幅 t_3 は幅 s_2 よりも狭い。また、 p^+ 拡散層2 1 が $n\ p\ n$ トランジスタ3 7 のベースとして機能する領域であり、 n^- エピタキシャル層4 a が $p\ n\ p$ トランジスタ3 8 のベースとして機能する領域である。 $n\ p\ n$ トランジスタ3 7 のベースとして機能する領域である p^+ 拡散層2 1 と、 $p\ n\ p$ トランジスタ3 8 のベースとして機能する領域である n^- エピタキシャル層4 a とは、互いに逆導電型の領域よりなっている。

【0049】

なお、 p^+ 拡散層1 5 は、たとえば n^- エピタキシャル層4 b の表面を数 $10\ n\ m$ 熱酸化し、その表面にBを 10^{14} 個/ cm^3 オーダーの不純物濃度となるよう

に注入することにより形成されている。また、 n^+ 拡散層8eが形成される工程と同一の工程により、 n^- エピタキシャル層4aの表面に n^+ 拡散層8dが形成されている。加えて、 p^+ 拡散層9gが形成される工程と同一の工程により、 p^+ 拡散層15の表面に p^+ 拡散層9c、9dが形成され、 n^- エピタキシャル層4aの表面に p^+ 拡散層9fが形成され、 p 型拡散層6cの表面に p^+ 拡散層9hが形成されている。また、 p^+ 拡散層15および p^+ 拡散層9c、9dと、 n^+ 拡散層8dと、 p^+ 拡散層9gと、 p^+ 拡散層9fと、 p^+ 拡散層9gおよび n^+ 拡散層8eおよび p^+ 拡散層21と、 p^+ 拡散層9hとは、フィールド酸化膜7によって各々電気的に分離されている。

【0050】

半導体基板92表面を覆うように層間絶縁膜10が形成されている。層間絶縁膜10にはコンタクトホール11e～11jが各々形成されている。これにより、 p^+ 拡散層9cと p^+ 拡散層9dと n^+ 拡散層8dと p^+ 拡散層9fと p^+ 拡散層9gおよび n^+ 拡散層8eと p^+ 拡散層9hとの表面が露出されている。そして、コンタクトホール11e～11jの各々を介して上記の露出した各領域に電気的に接続するように層間絶縁膜10上に、たとえばドープトポリシリコンよりなる配線12d～12gが形成されている。これにより、 p^+ 拡散層9dと n^+ 拡散層8dとが電気的に接続されていて、 p^+ 拡散層9gおよび n^+ 拡散層8eと p^+ 拡散層9hとが各々電気的に接続されている。配線12d～12gを覆うように層間絶縁膜16が形成されている。層間絶縁膜16にはコンタクトホール17a、17bが各々形成されている。そして、コンタクトホール17a、17b内に、たとえばドープトポリシリコンよりなる配線18が形成されている。これにより、配線12dと配線12fとが電気的に接続されている。

【0051】

続いて、本実施の形態におけるサージ保護回路の動作について説明する。

図5を参照して、サージ電圧が信号入力端子34に印加されると、 n p n トランジスタ37のエミッタ・コレクタ間の電圧が上昇することにより、 n p n トランジスタ37が降伏する。 n p n トランジスタ37が降伏すると、抵抗素子39の両端に電位差が生じて抵抗素子39に電流が流れ、 p n p トランジスタ38の

ベースの電位が接地電位になる。これにより p-n-p トランジスタ 38 が ON し、信号入力端子 34 に入力されたサージ電圧は p-n-p トランジスタ 38 を介して接地電位 35 に開放される。これにより、装置部分 36 にサージ電圧が印可されることが防止される。

【0052】

本実施の形態においては、n-p-n トランジスタ 37 のベース領域である p⁺ 拡散層 21 と、p-n-p トランジスタ 38 のベース領域である n⁻ エピタキシャル層 4a とは互いに逆導電型の領域よりなっている。これにより、n-p-n トランジスタ 37 のベースの幅 t₃ を p-n-p トランジスタ 38 のベースの幅 s₂ よりも狭くすることで、n-p-n トランジスタ 32 は n-p-n トランジスタ 33 よりもパンチスルーレンジ伏しやすい構成となる。また、n-p-n トランジスタ 37 のベースとして機能する p⁺ 拡散層 21 を p-n-p トランジスタ 38 のベースとして機能する n⁻ エピタキシャル層よりも不純物濃度を高くすることで、n-p-n トランジスタ 37 は p-n-p トランジスタ 38 よりもアバランシェレンジ伏しやすい構成となる。

【0053】

したがって、n-p-n トランジスタ 37 が p-n-p トランジスタ 38 より先に確実にレンジ伏（アバランシェレンジ伏またはパンチスルーレンジ伏）するように構成されことで、サージ保護回路が正常に動作する。

【0054】

なお、本実施の形態においては、p⁺ 拡散層 21 の幅 t₃ が n⁻ エピタキシャル層 4a の幅 s₂ よりも狭い構成（1）と、p⁺ 拡散層 21 が n⁻ エピタキシャル層 4a よりも高い不純物濃度を有する構成（2）との双方の構成を有する場合について説明したが、上記 2 つの構成（1）および（2）の少なくとも 1 つの構成を有していればよい。

（実施の形態 4）

図 8 は、本発明の実施の形態 4 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0055】

図 8 を参照して、本実施の形態における半導体装置では、p⁺ 拡散層 3c と p

型拡散層6 c とにより n^+ 拡散層2 b および n^- エピタキシャル層4 a から電気的に分離された n^+ 拡散層2 c および n^- エピタキシャル層4 c が形成されている。 n^- エピタキシャル層4 c の表面には n^+ 拡散層8 f が形成されていて、 n^+ 拡散層8 f の表面が露出するようにコンタクトホール11 q が開口されている。コンタクトホール11 q 内には配線12 g が形成されていて、これにより、 n^+ 拡散層8 f と p^+ 拡散層9 h と n^+ 拡散層8 e および p^+ 拡散層9 g とが電気的に接続されている。

【0056】

なお、これ以外の構成については図5～図7に示す実施の形態3の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0057】

本実施の形態においては、 $n-p-n$ トランジスタ37と $p-n-p$ トランジスタ38とが形成される n^- エピタキシャル層4 a とは電気的に分離された n^- エピタキシャル層4 c に、 $n-p-n$ トランジスタ37のエミッタおよびベースと $p-n-p$ トランジスタ38のコレクタとが電気的に接続されている。これにより、半導体基板9 2の下部から電子が注入された場合に、電子は n^- エピタキシャル層4 c の領域に吸収され、回路中に入り込むことが防止される。したがって、サージ保護回路が誤作動することを防止できる。

(実施の形態5)

図9は、本発明の実施の形態5におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0058】

図9を参照して、本実施の形態における半導体装置において、 $p-n-p$ トランジスタ38のエミッタ領域は、 n^- エピタキシャル層4 a の表面に形成された p^+ 拡散層2 2 と、その p^+ 拡散層2 2 内に形成された p^+ 拡散層9 f とで構成されている。これにより、 p^+ 拡散層2 2 は p^+ 拡散層9 f の周囲を取り囲んでおり、 $p-n-p$ トランジスタ38のベース領域である n^- エピタキシャル層4 a と $p-n$ 接合を構成している。なお、 p^+ 拡散層2 2 は、 p^+ 拡散層2 1 が形成される工程と同一

の工程により形成されている。

【0059】

なお、これ以外の構成については図5～図7に示す実施の形態3の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0060】

本実施の形態においては、 p^+ 拡散層22は p^+ 拡散層9fの周囲を取り囲んでいる構成となっている。これにより、 $p\text{--}n\text{--}p$ トランジスタ38の $p\text{--}n$ 接合面積が増加するので、より大量の電流を流すことができる。したがって、サージ保護回路がより大きなサージ電流に適応可能となる。

(実施の形態6)

図10は、本発明の実施の形態6におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図11は図10のXI-XI線に沿った断面図である。

【0061】

図10および図11を参照して、本実施の形態における半導体装置は、 n^- エピタキシャル層4a内の $n\text{--}p\text{--}n$ トランジスタ37と $p\text{--}n\text{--}p$ トランジスタ38とが形成された領域の図中側部を取り囲み、かつ全周において n^+ 拡散層2bと接するように n^+ 拡散層13が形成されている。これにより、 n^- エピタキシャル層4a内の $n\text{--}p\text{--}n$ トランジスタ37と $p\text{--}n\text{--}p$ トランジスタ38とが形成された領域の図中側部および下部は、 n^+ 拡散層13および n^+ 拡散層2bによって取り囲まれている。 n^+ 拡散層13および n^+ 拡散層2bは、 n^- エピタキシャル層4aよりも不純物濃度が高い。

【0062】

なお、これ以外の構成については図5～図7に示す実施の形態3の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0063】

本実施の形態においては、 n^- エピタキシャル層4a内の $n\text{--}p\text{--}n$ トランジスタ

37とp n pトランジスタ38とが形成される領域の図中側部および下部が、n⁻エピタキシャル層4aよりも不純物濃度の高いn⁺拡散層13およびn⁺拡散層2bによって取り囲まれている。これにより、n p nトランジスタ37のコレクタ領域およびp n pトランジスタ38のベース領域にサージ電圧が印加された場合に、サージ電流はn⁻エピタキシャル層4aからn⁺拡散層13およびn⁺拡散層2bへ流れやすくなる。したがって、サージ電流がn⁻エピタキシャル層4aからp⁻領域1およびp⁺拡散層3cおよびp型拡散層6cへ流れ込むことが抑止される。これにより、サージ電流のリークが防止され、サージ保護回路が誤作動することが防止される。

(実施の形態7)

図12は、本発明の実施の形態7におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0064】

図12を参照して、本実施の形態における半導体装置は、n p nトランジスタ37のベース領域とp n pトランジスタ38のコレクタ領域とが同一のp型拡散層6gを共有している点で実施の形態3と異なる。このため、p⁺拡散層9gおよびn⁺拡散層8eは、このp型拡散層6g内に形成されている。

【0065】

n p nトランジスタ37のベース領域は、p型拡散層6gとp⁺拡散層9gにより構成されている。この構成においては、n p nトランジスタ37のベース領域の一番狭い領域は、n⁺拡散層8eの図中真下のp型拡散層6gの領域であり、幅t3を有している。幅t3は幅s2よりも狭い。また、p型拡散層6gがn p nトランジスタ37のベースとして機能する領域である。

【0066】

なお、これ以外の構成については図5～図7に示す実施の形態3の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0067】

本実施の形態においては、n p nトランジスタ37のベース領域であるp型拡

散層6 gとp n pトランジスタ3 8のコレクタ領域であるp型拡散層6 gとは同一の不純物拡散領域よりなっている。このような構成であっても、n p nトランジスタ3 7のベース領域の幅t 3をp n pトランジスタ3 8のベース領域の幅s 2よりも狭くすることにより、n p nトランジスタ3 7はp n pトランジスタ3 8よりもパンチスルーディフュージョンしやすくなる。したがって、正常に動作するサージ保護回路が形成可能となるとともに、不純物拡散領域の数を1つ減らすことができる、半導体装置の製造工程が簡略化する。

(実施の形態8)

図13は、本発明の実施の形態8におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図14は図13のXIV-XIV線に沿った断面図である。

【0068】

図13および図14を参照して、本実施の形態における半導体装置6 2では、図5～図7に示す実施の形態3の構成と比較して抵抗素子3 9の構成において異なる。

【0069】

抵抗素子3 9は、n⁺拡散層1 9 aにより構成されており、n p nトランジスタ3 7とp n pトランジスタ3 8とが形成されたn⁻エピタキシャル層4 a内に形成されている。この抵抗素子3 9となるn⁺拡散層1 9 aを電気的に分離するためのp型拡散層6 iもn⁻エピタキシャル層4 a内に形成されている。これにより、n⁺拡散層1 9 aはp型拡散層6 iにより周囲を覆われている。

【0070】

このn⁺拡散層1 9 aとp型拡散層6 iとは、図13に示すように平面的に見るとn p nトランジスタ3 7とp n pトランジスタ3 8との形成領域の一方側から、その形成領域をう回して他方側へ達するように半導体基板9 2の表面に延在している。また図7において、n p nトランジスタ3 7とp n pトランジスタ3 8との形成領域の図中右側に形成されていたn⁺拡散層8 dは、本実施の形態ではn p nトランジスタ3 7とp n pトランジスタ3 8との形成領域の図中左側に形成されている。

【0071】

なお、 n^+ 拡散層19aは、たとえば $10^{14} \sim 10^{15}$ 個/ cm^3 の濃度となるようにAs(ヒ素)をp型拡散層6iの表面に注入することにより形成されている。 n^+ 拡散層19aと、 p^+ 拡散層9gと、 p^+ 拡散層9fと、 p^+ 拡散層9gおよび n^+ 拡散層8eおよび p^+ 拡散層21と、 n^+ 拡散層8dと、 p^+ 拡散層9hとは、フィールド酸化膜7によって各々電気的に分離されている。

【0072】

なお、本実施の形態の半導体基板92内の構成については、図5～7に示す実施の形態3の半導体基板92内の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0073】

半導体基板92表面を覆うように層間絶縁膜10が形成されている。層間絶縁膜10にはコンタクトホール11k、11m、11n、11p、11y、11zが各々形成されている。これにより、 n^+ 拡散層19aと、 p^+ 拡散層9fと、 p^+ 拡散層9gおよび n^+ 拡散層8eと、 n^+ 拡散層8dと、 p^+ 拡散層9hとの表面が露出されている。そして、コンタクトホール11k、11m、11n、11p、11y、11z内に、たとえばドープトポリシリコンよりなる配線12h～12kが形成されている。これにより、 n^+ 拡散層19aと p^+ 拡散層9fとが電気的に接続されていて、 p^+ 拡散層9gおよび n^+ 拡散層8eが電気的に接続されていて、 n^+ 拡散層8dと n^+ 拡散層19aとが電気的に接続されている。配線12h～12kを覆うように層間絶縁膜16が形成されている。層間絶縁膜16には、配線12iと配線12kとの表面を露出するように、図示しないコンタクトホールが各々形成されている。そして、コンタクトホール内に、たとえばドープトポリシリコンよりなる配線18(図13)が形成されている。これにより、配線12iと配線12kとが電気的に接続されている。

【0074】

本実施の形態においては、抵抗素子39を構成する n^+ 拡散層19aは、 n_p n トランジスタ37と $p_n p$ トランジスタ38とが形成される n^- エピタキシャル層4内に形成されており、かつ n^+ 拡散層19aはp型拡散層6iにより周囲

を各々覆われている。これにより、抵抗素子39を構成する n^+ 拡散層19aを流れる電流は、p型拡散層6iにより n^- エピタキシャル層4内へリークすることが抑止される。したがって、n_pnトランジスタ37およびp_npトランジスタ38と電気的に分離して抵抗素子39を形成する必要がなくなる。したがって、素子面積が小さくなる。

(実施の形態9)

図15は、本発明の実施の形態9におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図16は図15のXVI-XVI線に沿った断面図である。

【0075】

図15および図16を参照して、本実施の形態における半導体装置は、抵抗素子39が導電層20により形成されている。導電層20は、半導体基板92の表面より上に形成されており、たとえばフィールド酸化膜7の上に形成されている。導電層20は、たとえばドープトポリシリコンよりなる。また、本実施の形態においては、p型拡散層6iおよび n^+ 拡散層19aは形成されていない。

【0076】

なお、これ以外の構成については図13、図14に示す実施の形態8の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0077】

本実施の形態においては、抵抗素子39は、n_pnトランジスタ37およびp_npトランジスタ38と完全に電気的に分離されるので、抵抗素子39にサージ電圧が印可された場合にも、n_pnトランジスタ37およびp_npトランジスタ38を形成している領域は影響を受けることはない。したがって、素子面積が小さくなるとともに、サージ保護回路が誤作動することが完全に防止される。

(実施の形態10)

図17は、本発明の実施の形態10におけるサージ保護回路を示す回路図である。

【0078】

図17を参照して、サージ保護回路53は、pnpトランジスタ40とpnpトランジスタ38と抵抗素子39とを備えている。pnpトランジスタ38のエミッタおよび抵抗素子39の一方は信号入力端子34および装置部分36に電気的に接続されている。pnpトランジスタ40のベースとpnpトランジスタ38のベースとは互いに電気的に接続されている。pnpトランジスタ40のエミッタは、pnpトランジスタ40のベースおよびpnpトランジスタ38のベースの双方に電気的に接続されている。抵抗素子39の他方は、pnpトランジスタ40のエミッタおよびpnpトランジスタ40のベースおよびpnpトランジスタ38のベースに電気的に接続されている。pnpトランジスタ40のコレクタは、pnpトランジスタ38のコレクタおよび接地電位35に電気的に接続されている。

【0079】

続いて、実施の形態10におけるサージ保護回路を備えた半導体装置の構成について説明する。

【0080】

図18は、本発明の実施の形態10におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0081】

図18を参照して、半導体装置63において、たとえばシリコン単結晶よりも半導体基板93の下部に、p⁻領域1が形成されている。p⁻領域1の上には注入拡散によりn⁺拡散層2が形成されている。このn⁺拡散層2の上にn⁻エピタキシャル層4が形成されている。このn⁻エピタキシャル層4の周囲を取り囲むように、p⁻領域1上にp⁺拡散層3fとp型拡散層6pとが形成されている。

【0082】

このn⁺拡散層2およびn⁻エピタキシャル層4内には、サージ保護回路を構成するpnpトランジスタ40とpnpトランジスタ38とが形成されている。pnpトランジスタ40とpnpトランジスタ38との各々は、エミッタ領域とベース領域とコレクタ領域とを各々有している。

【0083】

p n pトランジスタ40において、エミッタ領域は、n⁻エピタキシャル層4内に形成されたp⁺拡散層21bと、そのp⁺拡散層21b内に形成されたp⁺拡散層9mとで構成されている。ベース領域は、n⁻エピタキシャル層4と、n⁻エピタキシャル層4内に形成されたn⁺拡散層8と、n⁺拡散層2とで構成されている。コレクタ領域は、n⁻エピタキシャル層4内に形成されたp⁺拡散層21aと、n⁻エピタキシャル層4内でp⁺拡散層21aと隣接するように形成されたp型拡散層6nと、p型拡散層6n内に形成されたp⁺拡散層9nとで構成されている。

【0084】

p n pトランジスタ38において、エミッタ領域は、n⁻エピタキシャル層4内に形成されたp⁺拡散層9kで構成されている。ベース領域は、n⁻エピタキシャル層4とn⁺拡散層2とで構成されている。コレクタ領域は、p型拡散層6nとp⁺拡散層9nとで構成されている。

【0085】

なお、図示しないが、p型拡散層6nとp⁺拡散層9nとはp⁺拡散層9kの図中横側を取り囲むように半導体基板93の表面に形成されている。

【0086】

n⁻エピタキシャル層4内には、抵抗素子を分離するためのp型拡散層6yが形成されていて、抵抗素子39は、p型拡散層6y内に形成されたn⁺拡散層19cにより構成されている。図示しないが、このn⁺拡散層19cとp型拡散層6yとは、平面的に見るとp n pトランジスタ40とp n pトランジスタ38との形成領域の一方側から、その形成領域をう回して他方側へ達するように半導体基板93の表面に延在している。

【0087】

なお、この構成において、p n pトランジスタ40のベース領域の一番狭い領域はp⁺拡散層21aの図中横側のn⁻エピタキシャル層4の領域であり幅s3を有している。p n pトランジスタ38のベース領域の一番狭い領域はp⁺拡散層9kの図中横側のn⁻エピタキシャル層4の領域であり、幅s4を有している。そしてその幅s3は幅s4よりも狭い。また、n⁻エピタキシャル層4がp n p

トランジスタ40のベースとして機能する領域であり、n⁻エピタキシャル層4がp n pトランジスタ41のベースとして機能する領域である。p n pトランジスタ40のベースとして機能する領域であるn⁻エピタキシャル層4と、p n pトランジスタ38のベースとして機能する領域であるn⁻エピタキシャル層4とは、同一の不純物拡散領域よりなっている。

【0088】

なお、p⁺拡散層9nが形成される工程と同一の工程により、n⁻エピタキシャル層4の表面にはp⁺拡散層9kが形成され、p⁺拡散層21bの表面にはp⁺拡散層9mが形成され、p型拡散層6pの表面にはp⁺拡散層9hが形成されている。n⁺拡散層19cと、p⁺拡散層9nと、p⁺拡散層9kと、p⁺拡散層9nおよびp型拡散層6nおよびp⁺拡散層21aと、p⁺拡散層9mと、n⁺拡散層8と、n⁺拡散層19cと、p⁺拡散層9hとは、半導体基板93の主表面に形成されたフィールド酸化膜7によって各々電気的に分離されている。これにより、p n pトランジスタ40のエミッタ領域であるp⁺拡散層21aとコレクタ領域であるp⁺拡散層21bとは、互いにフィールド酸化膜7をはさむように半導体基板93の主表面に形成されている。

【0089】

半導体基板93表面を覆うように層間絶縁膜10が形成されている。層間絶縁膜10にはコンタクトホール11r～11xが各々形成されている。これにより、n⁺拡散層19cとp⁺拡散層9kとp⁺拡散層9nとp⁺拡散層9mとn⁺拡散層8とp⁺拡散層9hとの表面が露出されている。そして、コンタクトホール11r～11xの各々を介して上記の露出した各領域に電気的に接続するように層間絶縁膜10上に、たとえばドープトポリシリコンよりなる配線12m、12n、12y、12zが形成されている。これにより、n⁺拡散層19cとp⁺拡散層9kとが電気的に接続されていて、p⁺拡散層9mとn⁺拡散層8とn⁺拡散層19cとが各々電気的に接続されている。配線12m、12n、12y、12zを覆うように層間絶縁膜16が形成されている。層間絶縁膜16にはコンタクトホール17e、17fが各々形成されている。そして、コンタクトホール17e、17f内に、たとえばドープトポリシリコンよりなる配線18が形成されている。

。これにより、配線12mと配線12zとが電気的に接続されている。

【0090】

続いて、本実施の形態におけるサージ保護回路の動作について説明する。

図17を参照して、サージ電圧が信号入力端子34に印加されると、pnpトランジスタ40のエミッタ・コレクタ間の電圧が上昇することにより、pnpトランジスタ40が降伏する。pnpトランジスタ40が降伏すると、抵抗素子39の両端に電位差が生じて抵抗素子39に電流が流れ、pnpトランジスタ38のベースの電位が接地電位になる。これによりpnpトランジスタ38がONし、信号入力端子34に入力されたサージ電圧はpnpトランジスタ38を介して接地電位35に開放される。これにより、装置部分36にサージ電圧が印可されることが防止される。

【0091】

本実施の形態においては、半導体装置63は図17の回路を有している。これにより、pnpトランジスタ40が降伏することによりpnpトランジスタ38はONし、信号入力端子34に印加されたサージ電圧を接地電位35に開放することができる。したがって、pnpトランジスタ40がpnpトランジスタ38よりも降伏しやすい構成にすることにより、サージ保護回路を正常に動作させることができる。

【0092】

本実施の形態においては、pnpトランジスタ40のベース領域の幅s3は、フィールド酸化膜7により自由に制御可能である。したがって、幅s3を幅s4よりも狭くすることにより、pnpトランジスタ40がpnpトランジスタ38よりもパンチスルーレ降伏しやすい構成を容易に作成できる。

(実施の形態11)

図19は、本発明の実施の形態11におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0093】

図19を参照して、本実施の形態における半導体装置は、半導体基板93の主表面に形成されたn⁻エピタキシャル層4内にn型拡散層5が形成されている。

n型拡散層5はn⁻エピタキシャル層4よりも不純物濃度が高い。n型拡散層5はp⁺拡散層21bの周囲を取り囲むように形成されていて、かつn型拡散層5とp型拡散層6nとはn⁻エピタキシャル層4内の主表面に互いに隣接している。また、p⁺拡散層21aは形成されていない。

【0094】

p n pトランジスタ40において、ベース領域は、n⁻エピタキシャル層4内に形成されたn型拡散層5で構成されている。コレクタ領域は、n⁻エピタキシャル層4内に形成されたp型拡散層6nと、p型拡散層6n内に形成されたp⁺拡散層9nとで形成されている。この構成においては、p n pトランジスタ40のベース領域の一番狭い領域は、p型拡散層6nの図中横側のn型拡散層5の領域であり幅s3を有している。その幅s3は幅s4よりも狭い。また、n型拡散層5がp n pトランジスタ40のベースとして機能する領域である。n型拡散層5はたとえば約10¹²個/cm³オーダーの不純物濃度となるようにn⁻エピタキシャル層4の表面にBを注入することにより形成される。

【0095】

なお、これ以外の構成については図17に示す実施の形態10の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0096】

本実施の形態においては、p n pトランジスタ40のベース領域の幅s3は、フィールド酸化膜7により自由に制御可能である。したがって、幅s3を幅s4よりも狭くすることにより、p n pトランジスタ40がp n pトランジスタ38よりもパンチスルーレイシングしやすい構成を容易に作成できる。

【0097】

また、本実施の形態においては、p n pトランジスタ40のベースとして機能するn型拡散層5はp n pトランジスタ38のベースとして機能するn⁻エピタキシャル層4よりも高い不純物濃度を有している。これにより、p n pトランジスタ40はp n pトランジスタ38よりもアバランシェレイシングしやすい構成を有している。

(実施の形態12)

図20は、本発明の実施の形態12におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0098】

図20を参照して、本実施の形態における半導体装置は、 p^+ 拡散層21aが形成されていない。これにより、 $p\text{--}n\text{--}p$ トランジスタ40において、コレクタ領域は、 n^- エピタキシャル層4内に形成された p 型拡散層6nと、 p 型拡散層6n内に形成された p^+ 拡散層9nとで形成されている。また、 $p\text{--}n\text{--}p$ トランジスタ40のエミッタ領域である p^+ 拡散層21bとコレクタ領域である p 型拡散層6nとは、互いにフィールド酸化膜7をはさむように半導体基板93の主表面上に形成されている。

【0099】

なお、これ以外の構成については図17に示す実施の形態10の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0100】

本実施の形態においては、 p^+ 拡散層21aが形成されていない。しかし、 $p\text{--}n\text{--}p$ トランジスタ40のベース領域の幅s3は、フィールド酸化膜7により自由に制御可能である。したがって、幅s3を幅s4よりも狭くすることにより、 $p\text{--}n\text{--}p$ トランジスタ40が $p\text{--}n\text{--}p$ トランジスタ38よりもパンチスルーベンチ伏しやすい構成を容易に作成できる。したがって、正常に動作するサージ保護回路が形成可能となるとともに、不純物拡散領域の数が減少するので、半導体装置の製造工程が簡略化する。

(実施の形態13)

図21は、本発明の実施の形態13におけるサージ保護回路を示す回路図である。

【0101】

図21を参照して、サージ保護回路54は、 $p\text{--}n\text{--}p$ トランジスタ41と $n\text{--}p\text{--}n$ トランジスタ42とを備えている。 $p\text{--}n\text{--}p$ トランジスタ41のベースと $n\text{--}p\text{--}n$ ト

ランジスタ42のコレクタとが信号入力端子34および装置部分36に電気的に接続されている。pnpトランジスタ41のベースは、pnpトランジスタ41のエミッタおよびn_pnトランジスタ42のコレクタに電気的に接続されている。pnpトランジスタ41のコレクタはn_pnトランジスタ42のベースに電気的に接続されている。n_pnトランジスタ42のエミッタは接地電位35に電気的に接続されている。

【0102】

続いて、実施の形態13におけるサージ保護回路を備えた半導体装置の構成について説明する。

【0103】

図22は、本発明の実施の形態13におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図23は図22のXXIII-XXIII-I線に沿った断面図である。

【0104】

図22および図23を参照して、半導体装置64において、たとえばシリコン単結晶よりなる半導体基板94の下部に、p⁻領域1が形成されている。p⁻領域1の上には注入拡散によりn⁺拡散層2が形成されている。このn⁺拡散層2の上にn⁻エピタキシャル層4が形成されている。このn⁻エピタキシャル層4の周囲を取り囲むように、p⁻領域1上にp⁺拡散層3iとp型拡散層6rとが形成されている。

【0105】

このn⁺拡散層2およびn⁻エピタキシャル層4内には、サージ保護回路を構成するpnpトランジスタ41とn_pnトランジスタ42とが形成されている。pnpトランジスタ41とn_pnトランジスタ42との各々は、エミッタ領域とベース領域とコレクタ領域とを各々有している。

【0106】

pnpトランジスタ41において、エミッタ領域は、n⁻エピタキシャル層4内に形成されたp⁺拡散層21cと、そのp⁺拡散層21c内に形成されたp⁺拡散層9rとで構成されている。ベース領域は、n⁻エピタキシャル層4と、n⁺拡

散層2とで構成されている。コレクタ領域は、 n^- エピタキシャル層4内に形成された p^+ 拡散層21dと、 n^- エピタキシャル層4内に形成された p 型拡散層6tとで構成されている。

【0107】

n p n トランジスタ42において、コレクタ領域は、 n^- エピタキシャル層4内に形成された n^+ 拡散層8hと、 n^- エピタキシャル層4と、 n^+ 拡散層2とで形成されている。ベース領域は、 p 型拡散層6tで構成されている。エミッタ領域は、 p 型拡散層6t内に形成された n^+ 拡散層8gで構成されている。

【0108】

これにより、 p n p トランジスタ41のコレクタ領域である p^+ 拡散層21dと、 n p n トランジスタ42のベース領域である p 型拡散層6tとは、互いに同じ導電型に形成されていて、かつ互いに電気的に接続されている。また、 p n p トランジスタ41のエミッタ領域である p^+ 拡散層21cとベース領域である n^- エピタキシャル層4との接合部は、フィールド酸化膜7の一方端に接しており、かつコレクタ領域である p^+ 拡散層21dとベース領域である n^- エピタキシャル層4との p n 接合部は、フィールド酸化膜7の他方端に接している。

【0109】

また、この構成においては、 p n p トランジスタ41のベース領域の一番狭い領域は、 p^+ 拡散層21dの図中横側の n^- エピタキシャル層4の領域であり、幅s5を有している。 n p n トランジスタ42のベース領域の一番狭い領域は、 n^+ 拡散層8gの図中真下の p 型拡散層6tの領域であり、幅t4を有している。そしてその幅s5は幅t4よりも狭い。また、 n^- エピタキシャル層4が p n p トランジスタ41のベースとして機能する領域であり、 p 型拡散層6tが n p n トランジスタ42のベースとして機能する領域である。

【0110】

なお、 p^+ 拡散層9rが形成される工程と同一の工程により、 p 型拡散層6rの表面に p^+ 拡散層9zが形成されている。また、 n^+ 拡散層8gが形成される工程と同一の工程により、 n^- エピタキシャル層4の表面に n^+ 拡散層8hが形成されている。 p^+ 拡散層9zと、 n^+ 拡散層8gと、 p 型拡散層6tおよび p^+ 拡散

層21dと、p⁺拡散層9rと、n⁺拡散層8hとは半導体基板94の主表面に形成されたフィールド酸化膜7によって各々電気的に分離されている。

【0111】

半導体基板94表面を覆うように層間絶縁膜10が形成されている。層間絶縁膜10にはコンタクトホール25a～25dが各々形成されている。これにより、p⁺拡散層9zとn⁺拡散層8gとp⁺拡散層9rとn⁺拡散層8hとの表面が露出されている。そして、コンタクト25a～25dの各々を介して上記の露出した各領域に電気的に接続するように層間絶縁膜10上に、たとえばドープトポリシリコンよりなる配線12p、12qが形成されている。これにより、p⁺拡散層9zとn⁺拡散層8gとが電気的に接続されていて、p⁺拡散層9rとn⁺拡散層8hとが電気的に接続されている。

【0112】

続いて、本実施の形態におけるサージ保護回路の動作について説明する。

図21を参照して、サージ電圧が信号入力端子34に印加されると、pnpトランジスタ41のエミッタ・コレクタ間の電圧が上昇することにより、pnpトランジスタ41が降伏する。pnpトランジスタ41が降伏すると、npnトランジスタ42のベースに電流が流れ、npnトランジスタ42がONする。npnトランジスタ42がONすると、信号入力端子34に入力されたサージ電圧はnpnトランジスタ42を介して接地電位35に開放される。これにより、装置部分36にサージ電圧が印可されることが防止される。

【0113】

本実施の形態においては、pnpトランジスタ41のベース領域の幅s5は、フィールド酸化膜7により自由に制御可能である。したがって、幅s5を幅t4よりも狭くすることにより、pnpトランジスタ41がnpnトランジスタ42よりもパンチスルーレ降伏しやすい構成を容易に作成できる。

(実施の形態14)

図24は、本発明の実施の形態14におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0114】

図24を参照して、本実施の形態における半導体装置は、半導体基板94の主表面に形成されたn⁻エピタキシャル層4内にn型拡散層5が形成されている。n型拡散層5はn⁻エピタキシャル層4よりも不純物濃度が高い。n型拡散層5はp⁺拡散層21cの周囲を取り囲むように形成されていて、かつn型拡散層5とp型拡散層6tとはn⁻エピタキシャル層4内の主表面に互いに隣接している。また、p⁺拡散層21dは形成されていない。

【0115】

pnpトランジスタ41において、ベース領域は、n⁻エピタキシャル層4内に形成されたn型拡散層5で構成されている。コレクタ領域は、n⁻エピタキシャル層4内に形成されたp型拡散層6tで形成されている。この構成においては、pnpトランジスタ41のベース領域の一番狭い領域は、p型拡散層6tの中横側のn型拡散層5の領域であり幅s5を有している。その幅s5は幅t4よりも狭い。また、n型拡散層5がpnpトランジスタ41のベースとして機能する領域である。pnpトランジスタ41のコレクタ領域であるp型拡散層6tと、npnトランジスタ42のベース領域であるp型拡散層6tとは互いに同じ導電型に形成されていて、かつ互いに共通である。

【0116】

なお、これ以外の構成については図21～図23に示す実施の形態13の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0117】

本実施の形態においては、pnpトランジスタ41のベース領域であるn型拡散層5と、npnトランジスタ42のベース領域であるp型拡散層6tとは互いに逆導電型の領域よりなっている。これにより、pnpトランジスタ41のベースの幅s5をnpnトランジスタ42のベースの幅t4よりも狭くすることで、pnpトランジスタ41はnpnトランジスタ42よりもパンチスルーレベル下やすい構成となる。また、pnpトランジスタ41のベースとして機能するn型拡散層5をnpnトランジスタ42のベースとして機能するp型拡散層6tよりも不純物濃度を高くすることで、pnpトランジスタ41はnpnトランジスタ4

2よりもアバランシェ降伏しやすい構成となる。

【0118】

なお、本実施の形態においては、図1、図5、図17の回路を有する半導体装置の場合について説明したが、本発明はこのような場合に限られるものではなく、信号入力端子に電気的に接続され、かつ第1のトランジスタと第2のトランジスタとを有するサージ保護回路を備えた半導体装置であればよい。また、不純物拡散領域の形成方法については、本実施の形態における条件に限られるものではなく、他の条件であってもよい。

【0119】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0120】

【発明の効果】

以上により、本発明の半導体装置は、第1のトランジスタのベース領域の一番狭い領域が第2のトランジスタのベース領域の一番狭い領域とは異なる幅を有する構成により、第1のトランジスタが第2のトランジスタよりも降伏しやすくなるようにされている。したがって、サージ電圧が信号入力端子に印加された場合に、第1のトランジスタが降伏することにより第2のトランジスタがONし、それにより信号入力端子に印加されたサージ電圧が開放されるような回路が構成されることにより、正常に動作するサージ保護回路を備える半導体装置となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるサージ保護回路を示す回路図である。

【図2】 本発明の実施の形態1におけるサージ保護回路の構成を概略的に示す平面図である。

【図3】 図2のI—I—I—I線に沿った断面図である。

【図4】 本発明の実施の形態2におけるサージ保護回路を備えた半導体装

置の構成を概略的に示す断面図である。

【図5】 本発明の実施の形態3におけるサージ保護回路を示す回路図である。

【図6】 本発明の実施の形態3におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図7】 図6のVII-VII線に沿った断面図である。

【図8】 本発明の実施の形態4におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図9】 本発明の実施の形態5におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図10】 本発明の実施の形態6におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図11】 図10のXIX-XIX線に沿った断面図である。

【図12】 本発明の実施の形態7におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図13】 本発明の実施の形態8におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図14】 図13のXIV-XIV線に沿った断面図である。

【図15】 本発明の実施の形態9におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図16】 図15のXVI-XVI線に沿った断面図である。

【図17】 本発明の実施の形態10におけるサージ保護回路を示す回路図である。

【図18】 本発明の実施の形態10におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図19】 本発明の実施の形態11におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図20】 本発明の実施の形態12におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図21】 本発明の実施の形態13におけるサージ保護回路を示す回路図である。

【図22】 本発明の実施の形態13におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図23】 図22のXXII - XXII線に沿った断面図である。

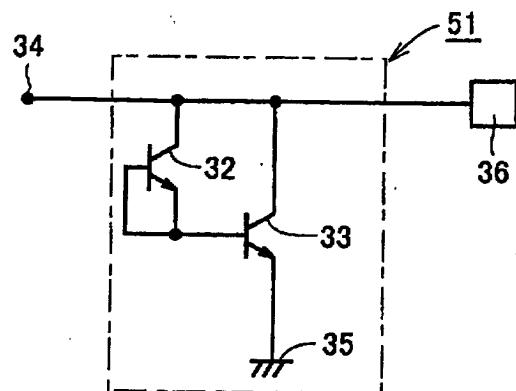
【図24】 本発明の実施の形態14におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【符号の説明】

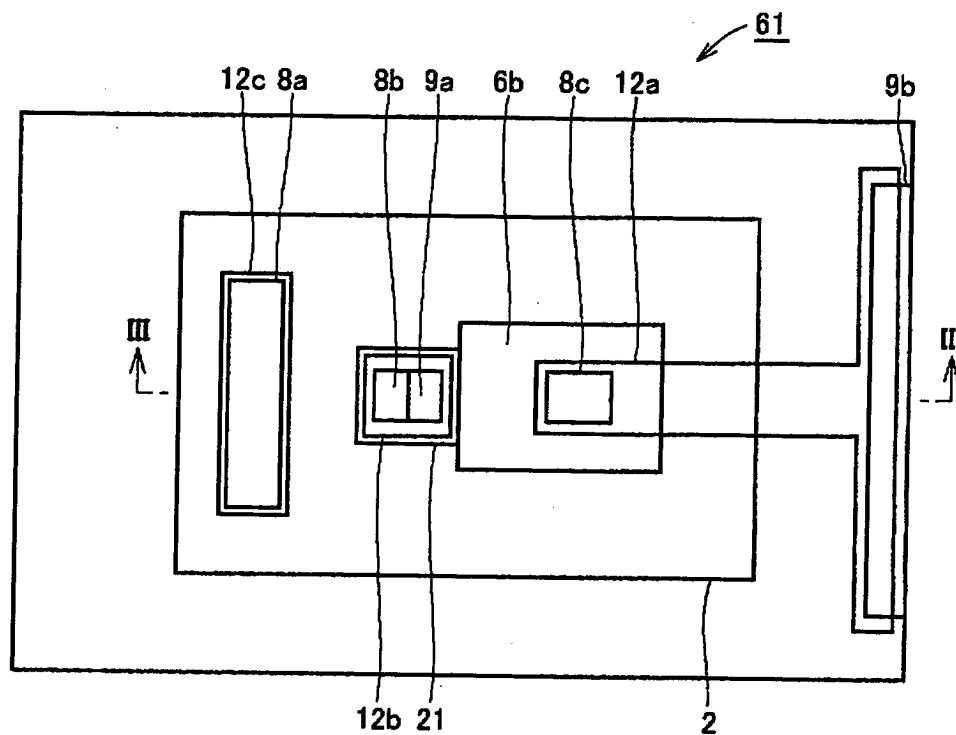
1 p-領域、2, 2a~c, 8, 8a~8h, 13, 19a, 19c n⁺拡散層、3a, 3c, 3f, 3i, 9a~d, 9f~h, 9k, 9m, 9n, 9r, 9z, 15, 21, 21a, 21b, 21c, 21d, 22 p⁺拡散層、4, 4a, 4b, 4c n-エピタキシャル層、5 n型拡散層、6a~c, 6g, 6i, 6n, 6p, 6r, 6t, 6y p型拡散層、7 フィールド酸化膜、8, 8a~8h, 19a, 19c n⁺拡散層、10, 16 酸化膜、11a~k, 11m, 11n, 11p~z, 17a, 17b, 17e, 17f, 25a~d コンタクトホール、12a~k, 12m, 12n, 12p, 12q, 12y, 12z, 18 配線、20 導電層、32, 33, 37, 42 n p nトランジスタ、34 信号入力端子、35 接地電位、36 装置部分、38, 40, 41 p n pトランジスタ、39 抵抗素子、51~54 サージ保護回路、61~64 半導体装置、91~94 半導体基板。

【書類名】 図面

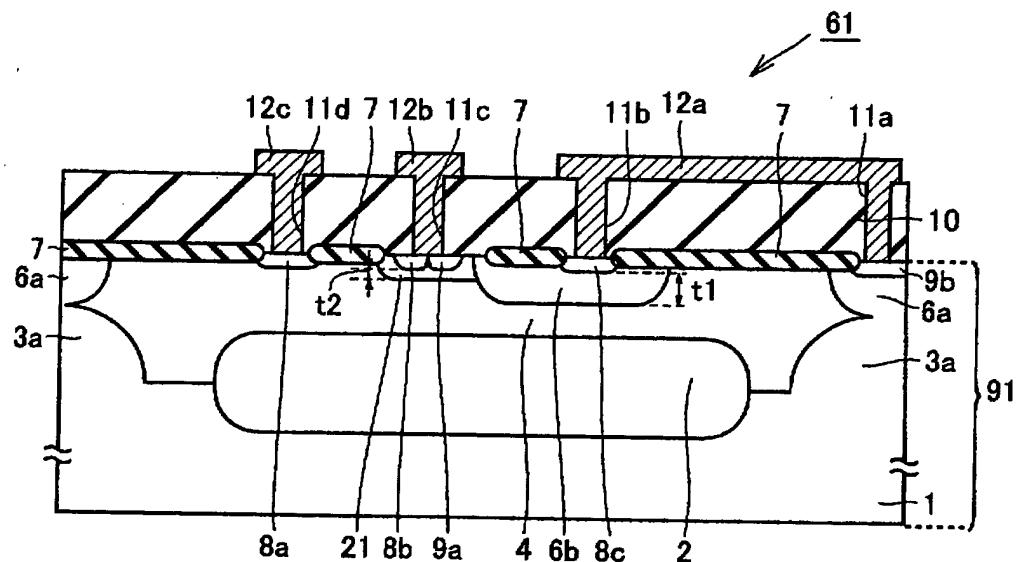
【図1】



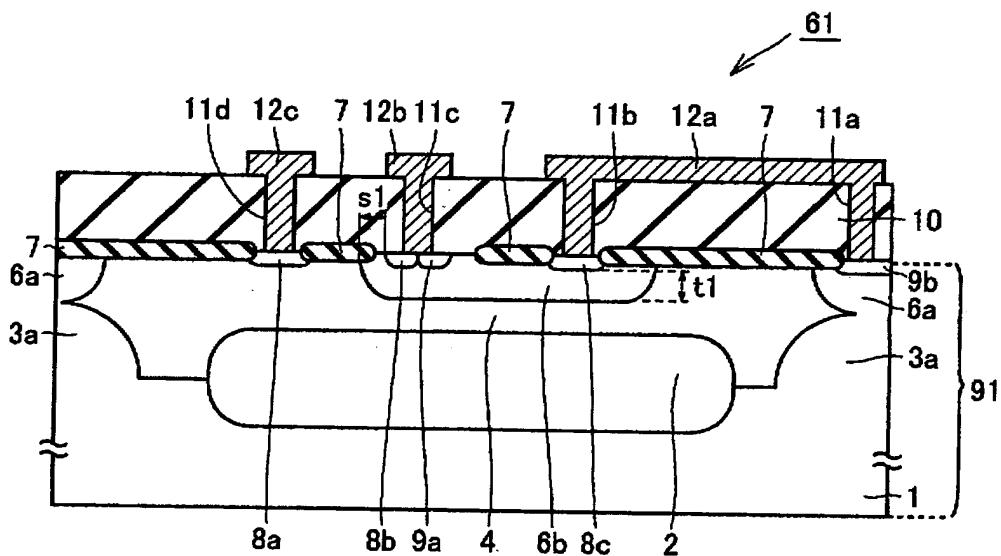
【図2】



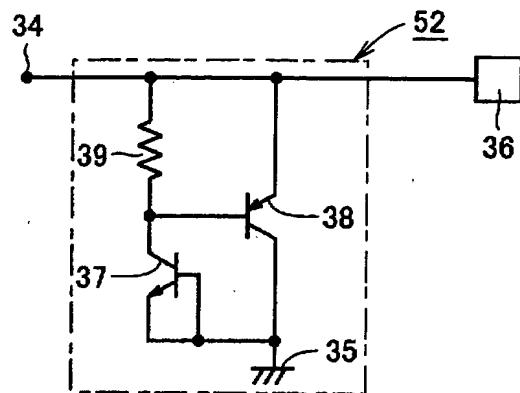
【図3】



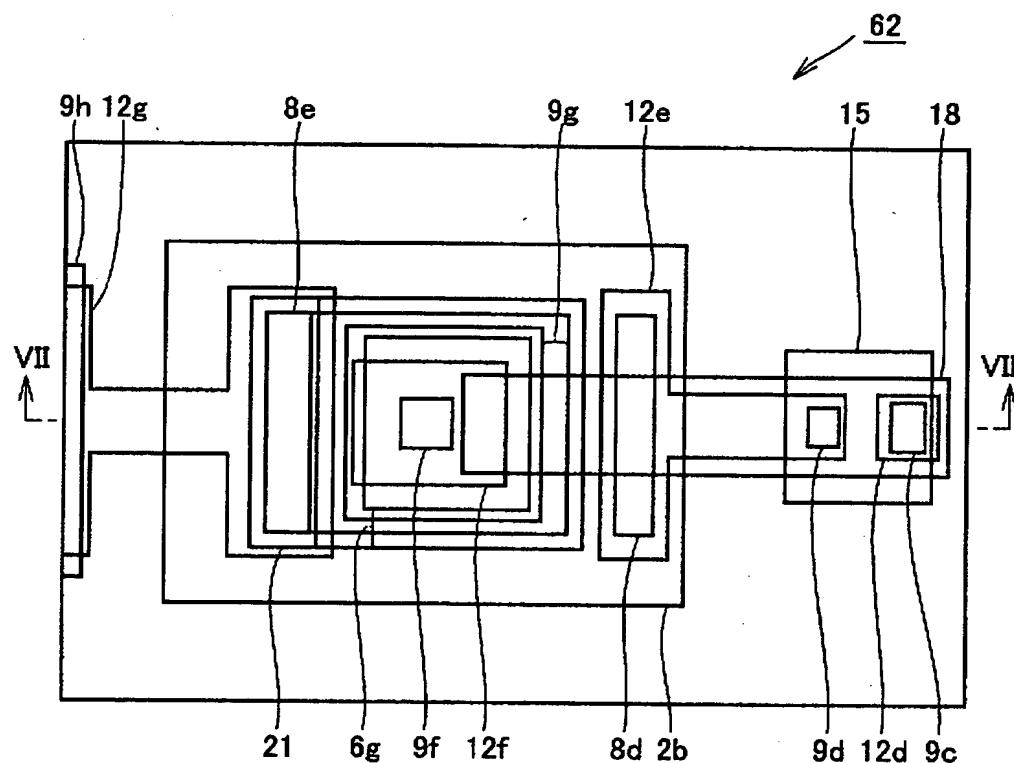
【図4】



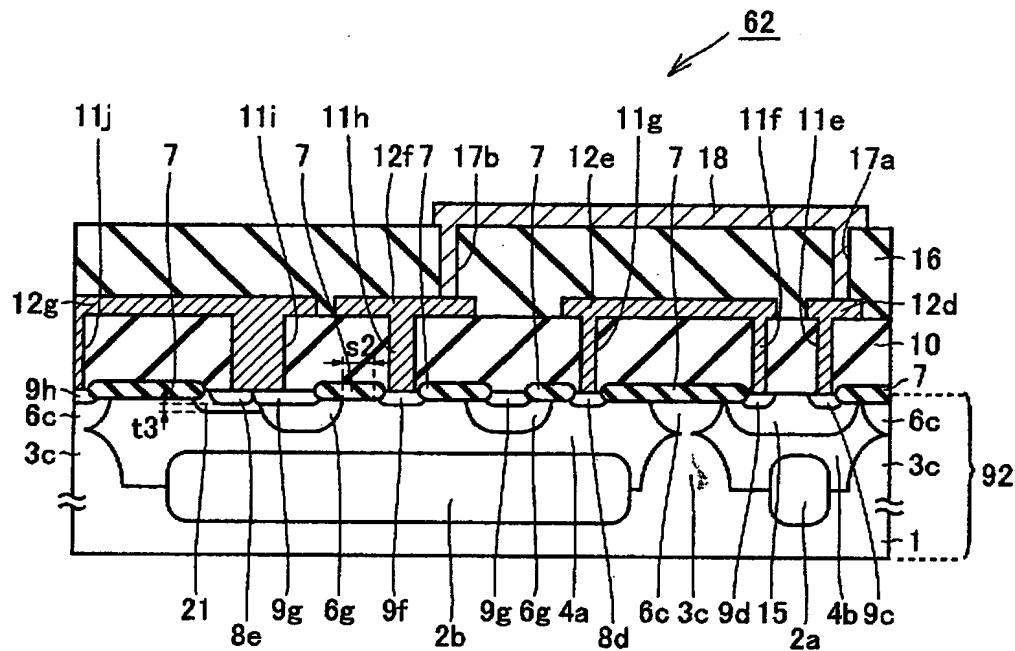
【図5】



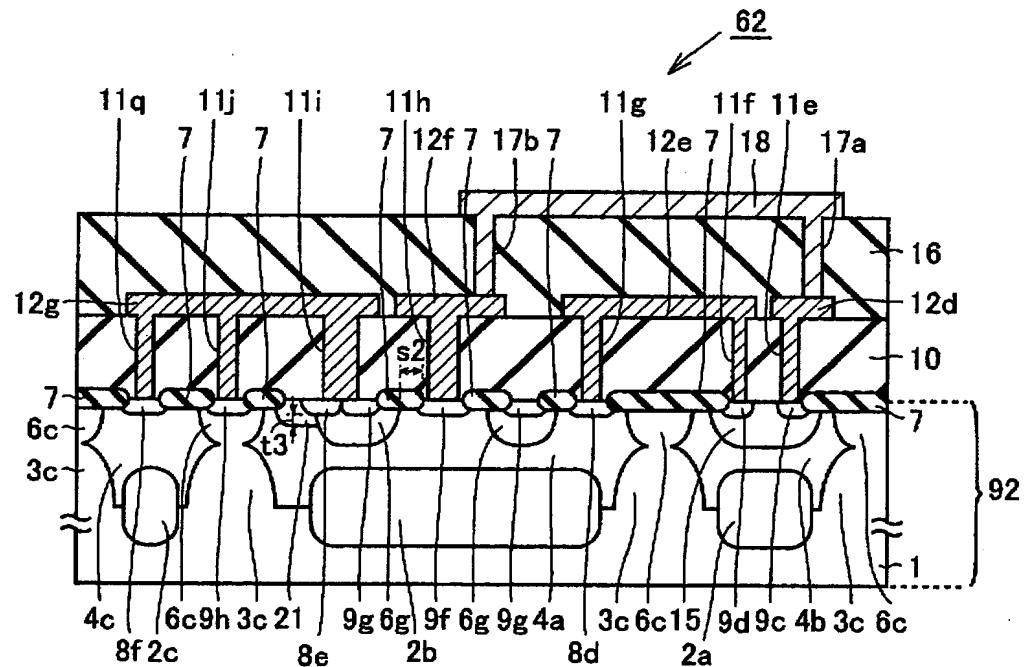
【図6】



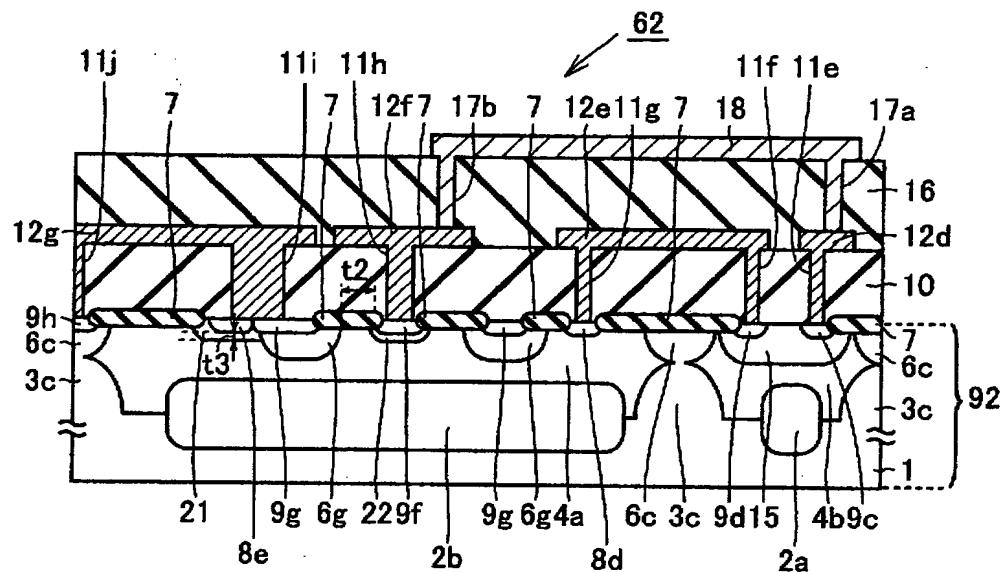
【図7】



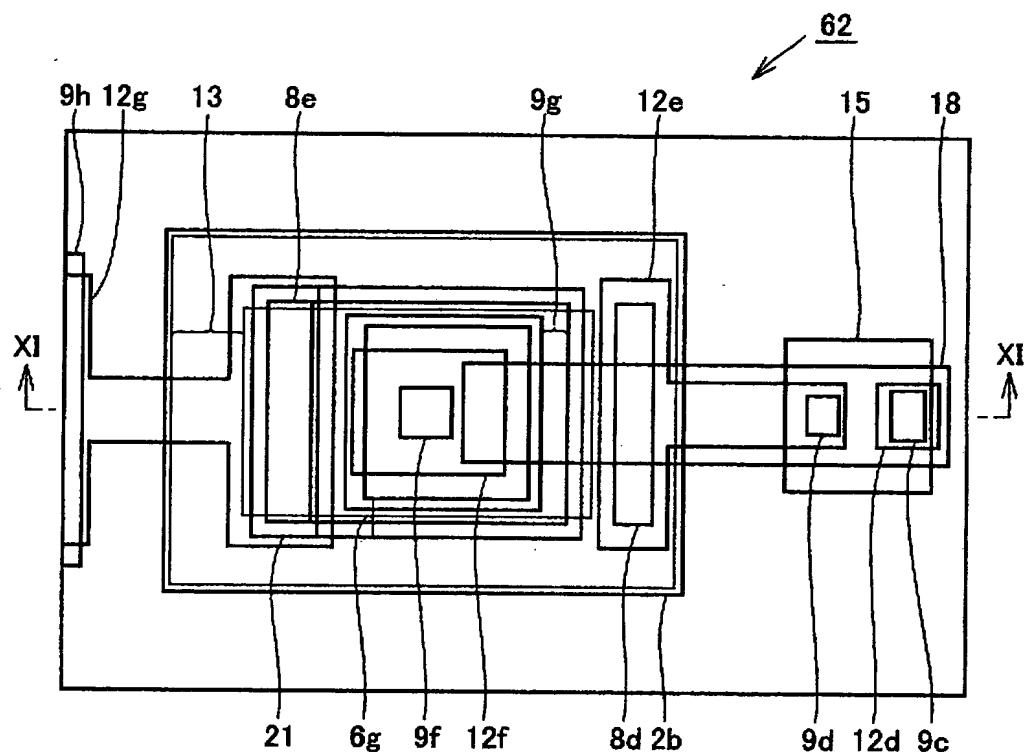
【図8】



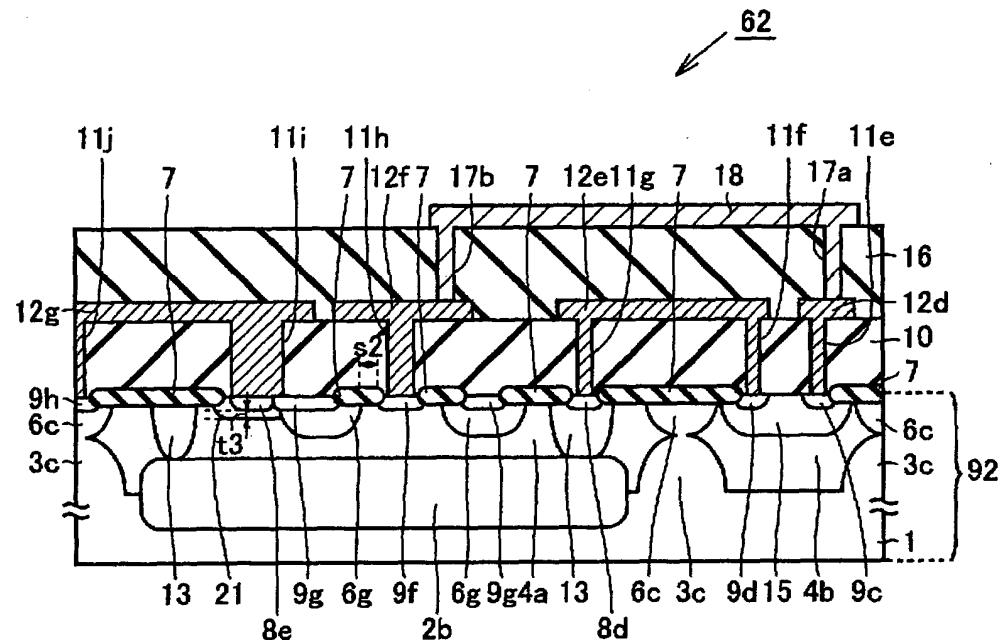
【図9】



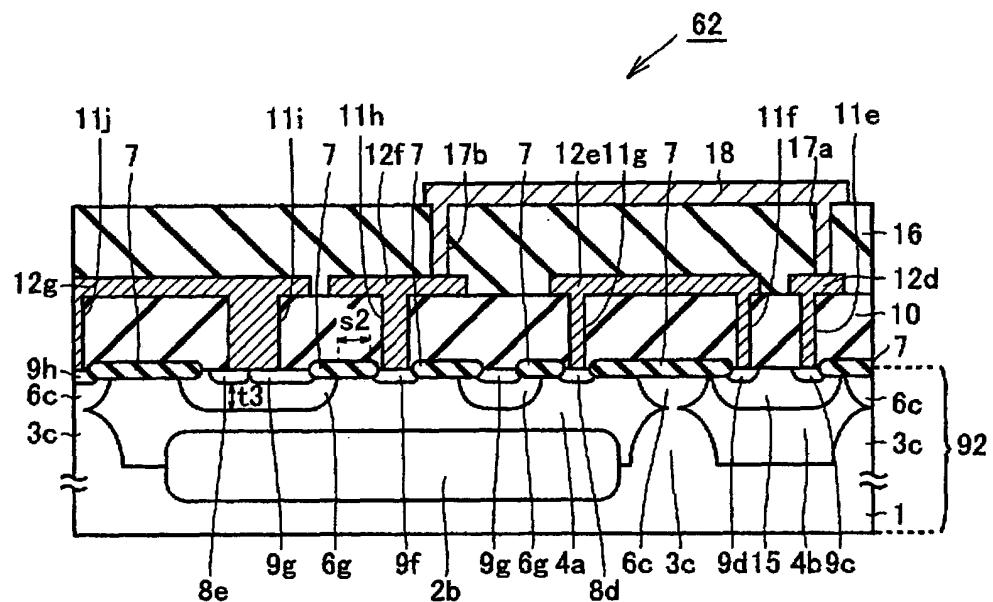
【図10】



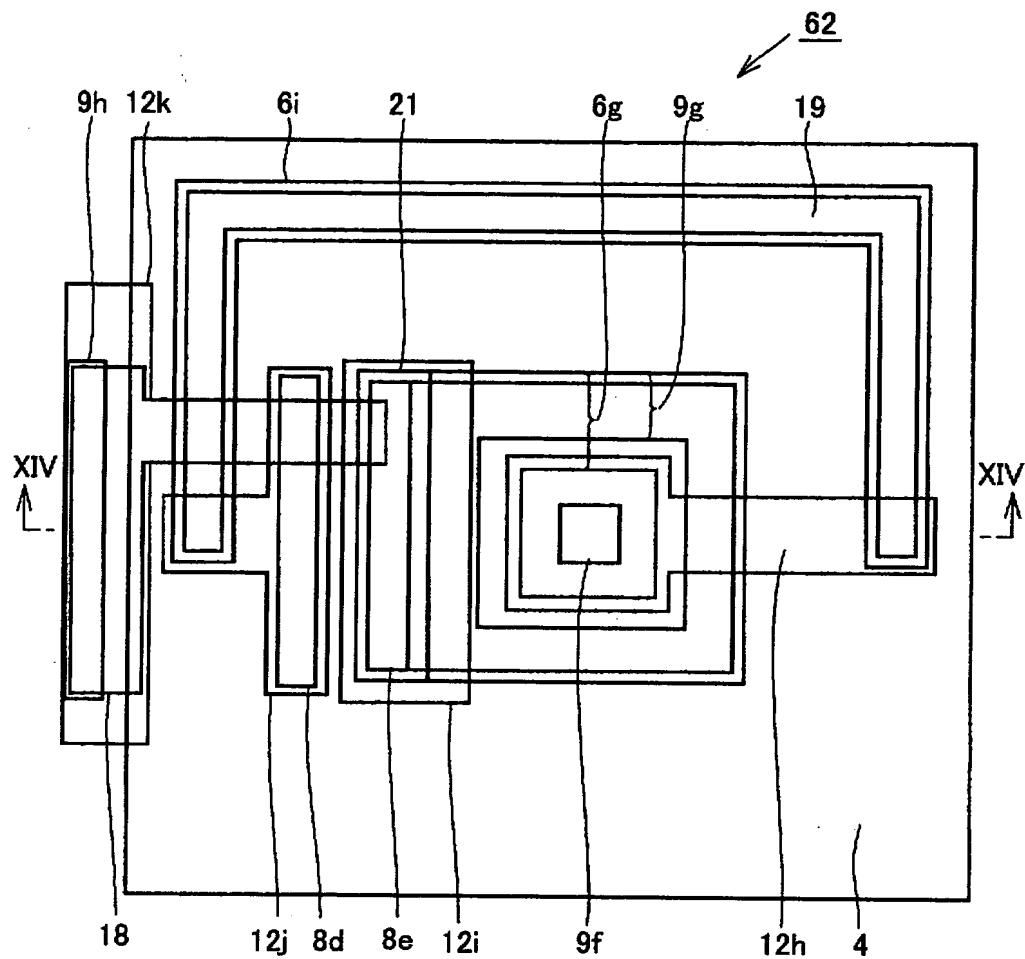
【図11】



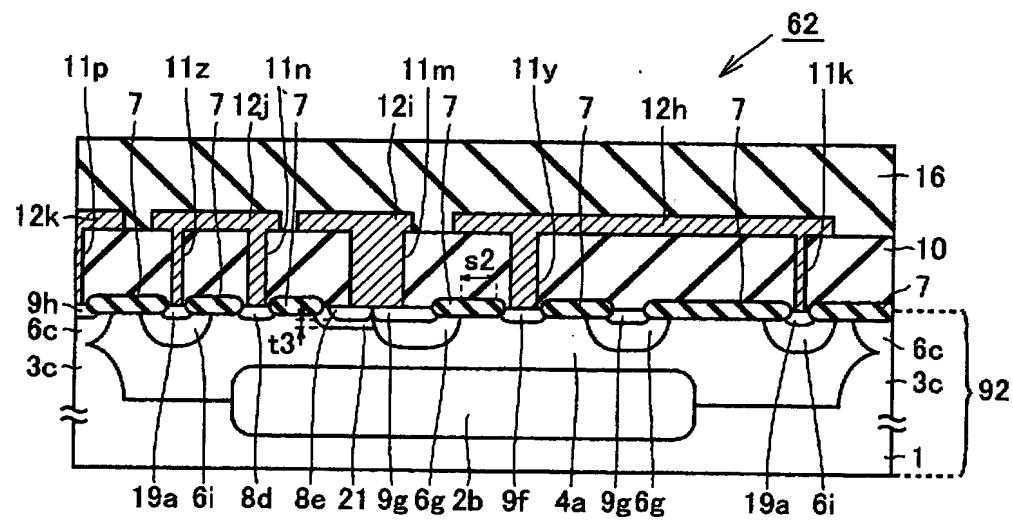
【図12】



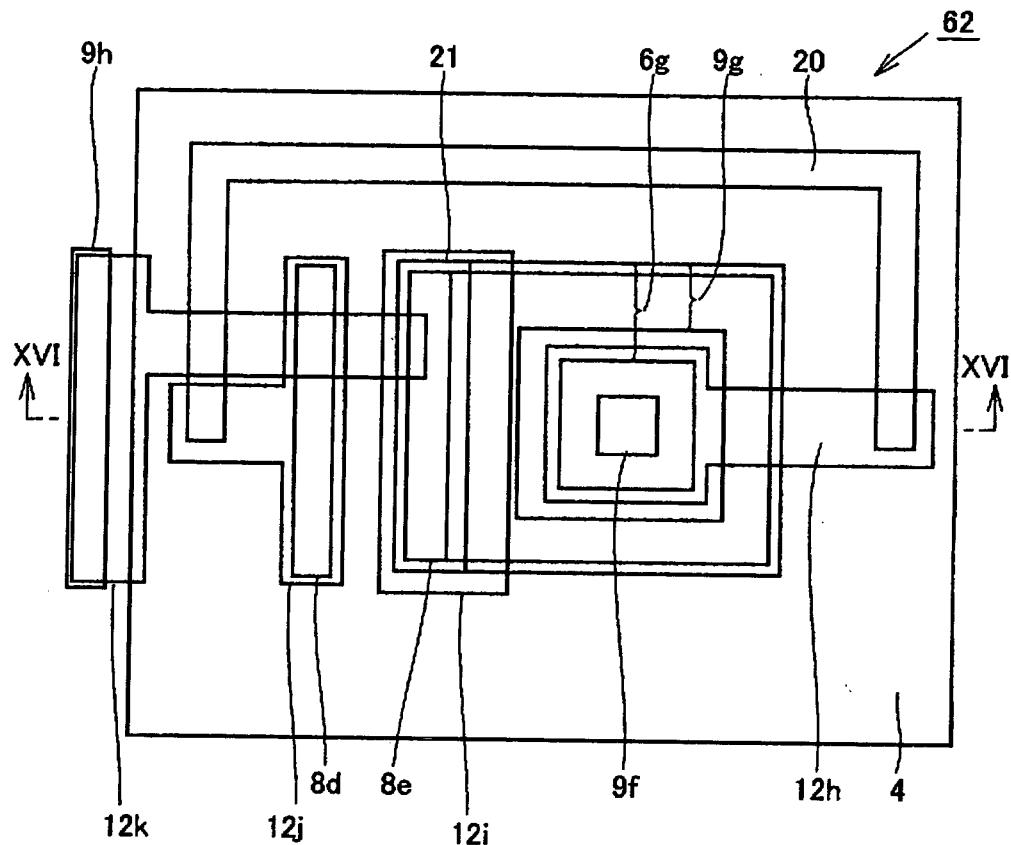
【図13】



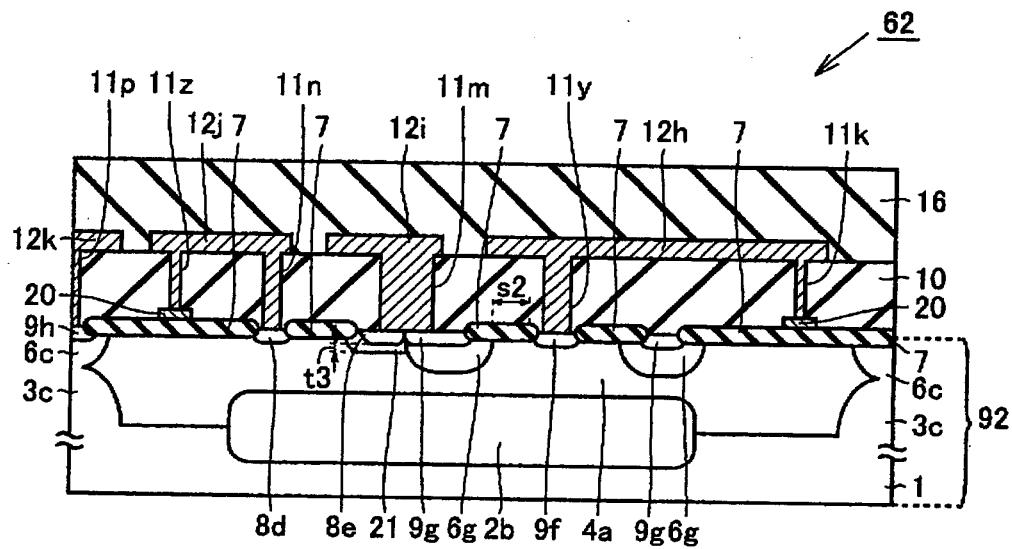
【図14】



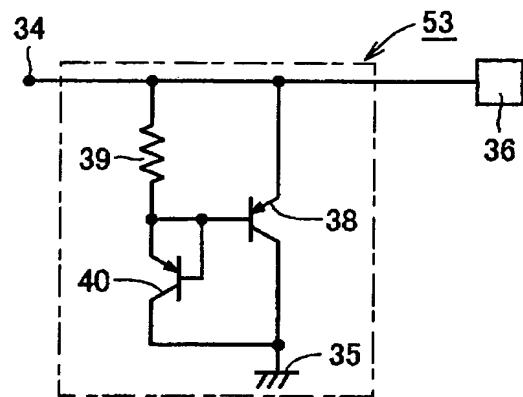
【図15】



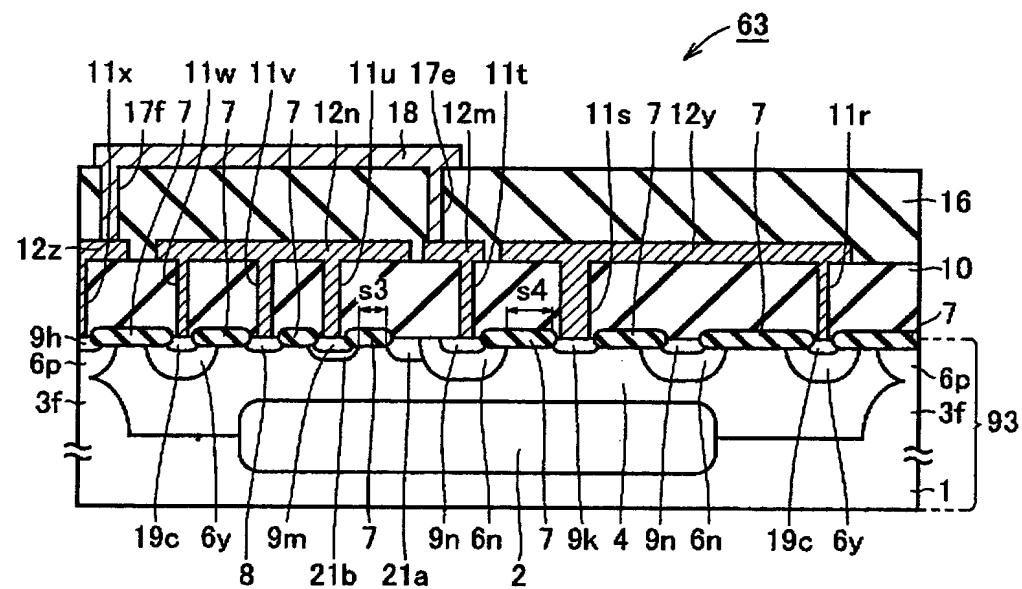
【図16】



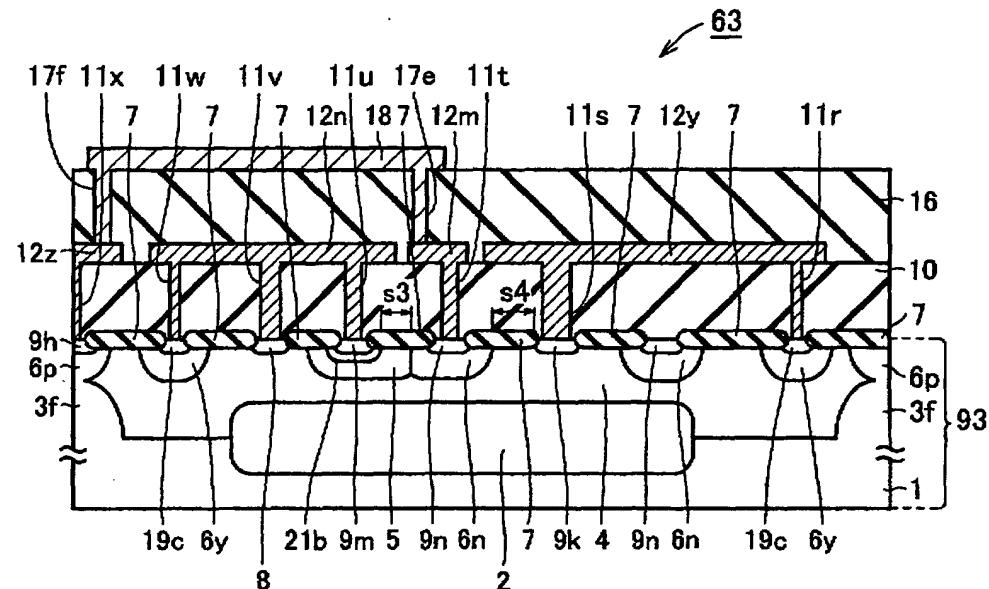
【図17】



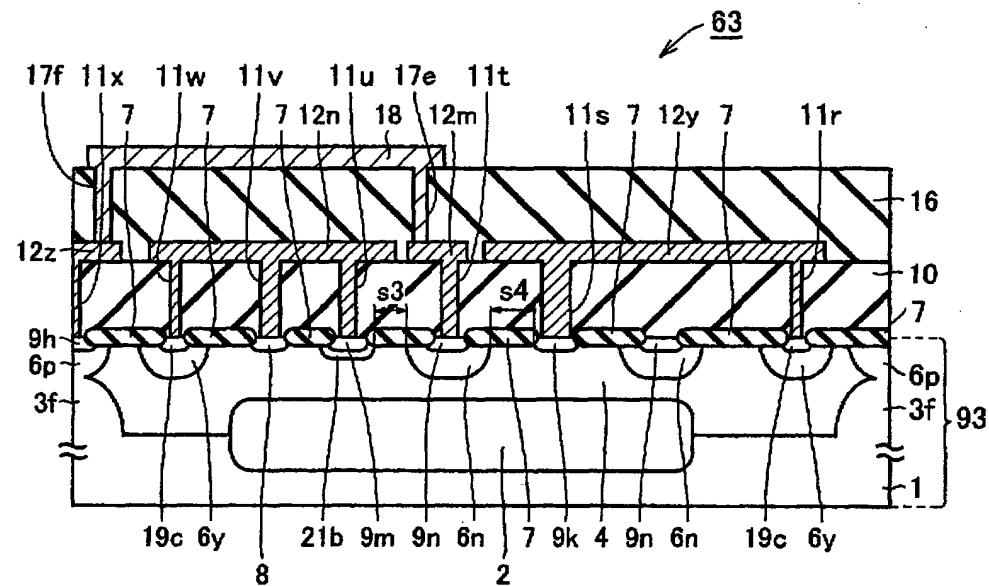
【図18】



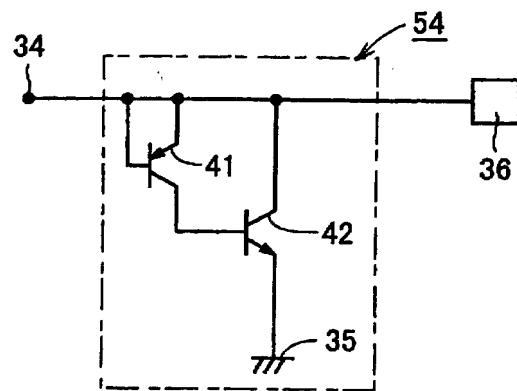
【図19】



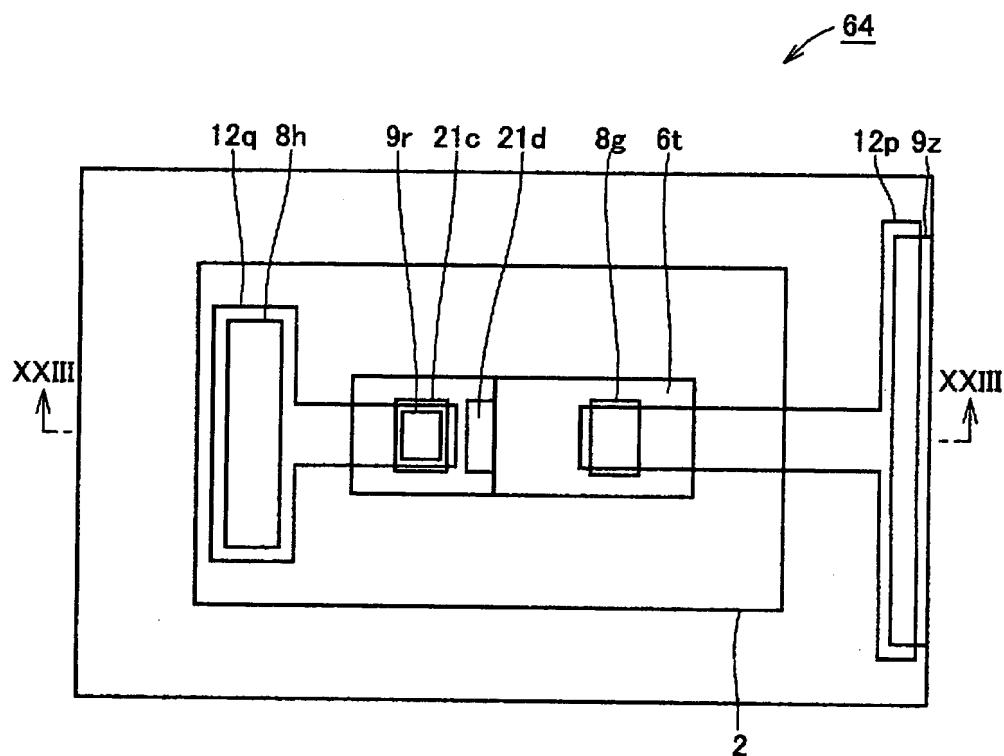
【図20】



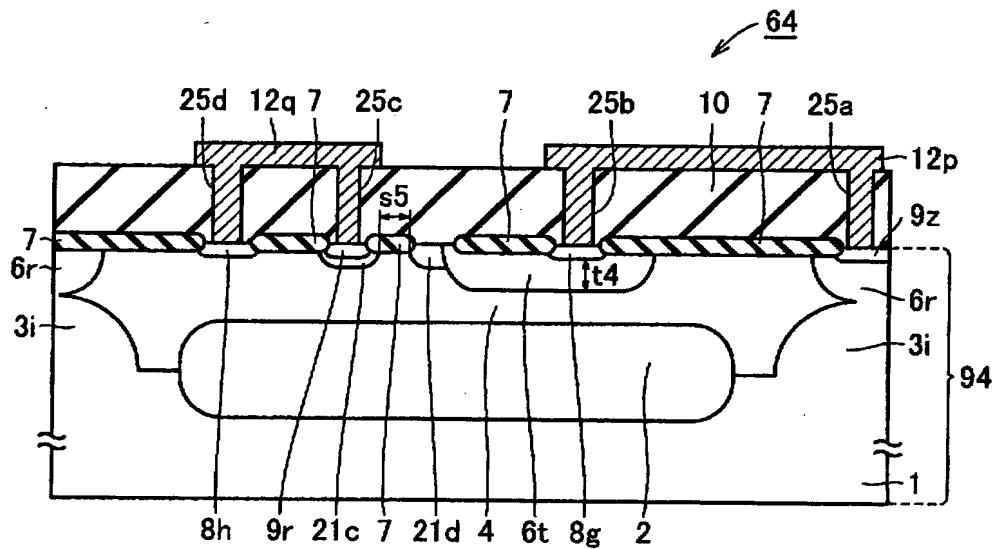
【図21】



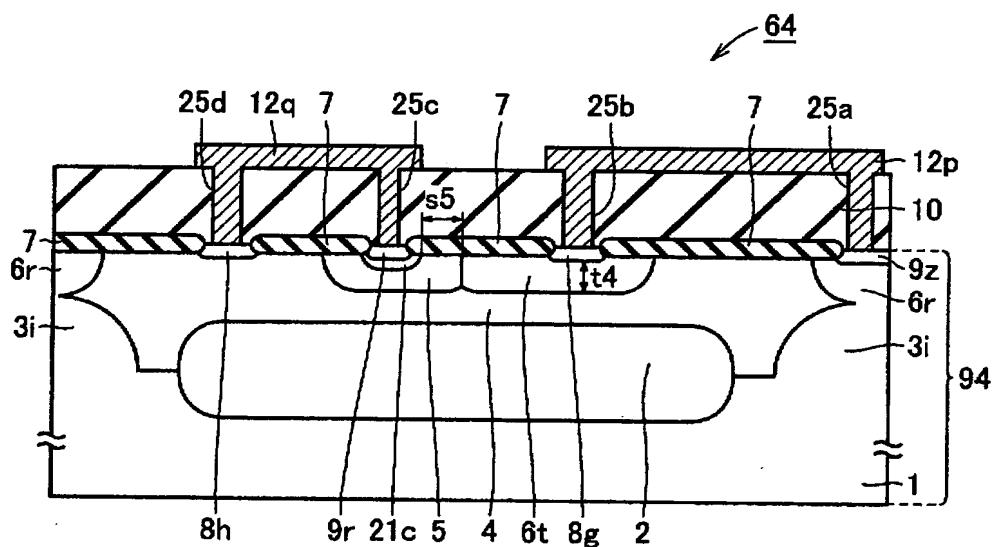
【図22】



【図23】



【図24】



【書類名】 要約書

【要約】

【課題】 正常に動作するサージ保護回路を備える半導体装置を提供する。

【解決手段】 本発明のサージ保護回路を備える半導体装置は、信号入力端子34に電気的に接続され、かつn p nトランジスタ32とn p nトランジスタ33とを有するサージ保護回路51を備えた半導体装置であって、n p nトランジスタ32のベースの一番狭い領域がn p nトランジスタ33のベースの一番狭い領域とは異なる幅を有する構成を有することにより、n p nトランジスタ32がn p nトランジスタ33よりも降伏しやすくなるように構成されている。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社

出願人履歴情報

識別番号 [000162320]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都渋谷区松濤2丁目20番4号
氏 名 協栄産業株式会社